

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

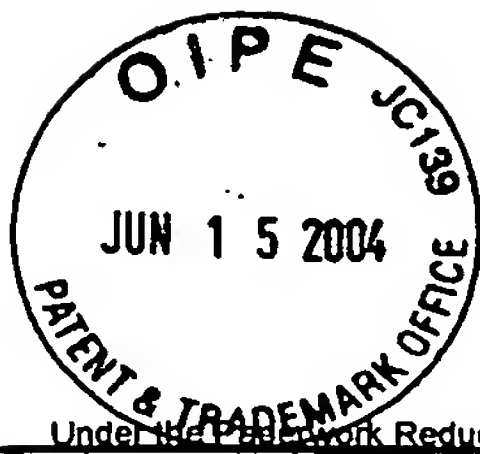
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



DPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/708,104	
	Filing Date	02/10/2004	
	First Named Inventor	Wei-Ming Ku	
	Art Unit	2816	
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	EMEP0057USA

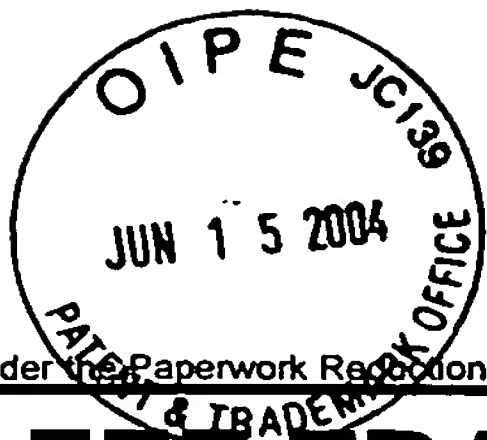
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	02/10/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,104
Filing Date	02/10/2004
First Named Inventor	Wei-Ming Ku
Examiner Name	
Art Unit	2816
Attorney Docket No.	EMEP0057USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	- 3** =	X	
Multiple Dependent			

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete (if applicable))

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	6/10/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

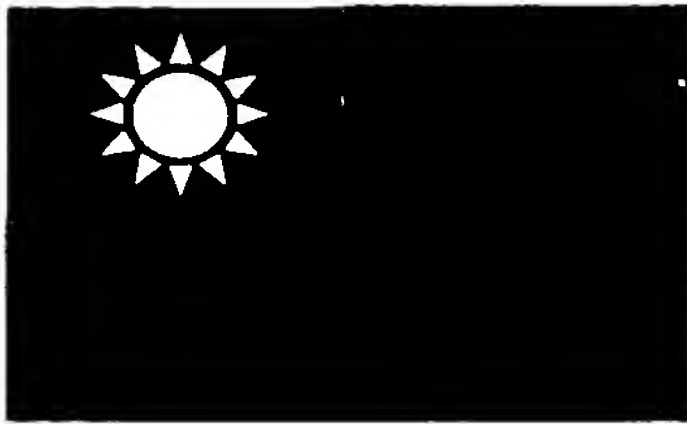
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092121553	Taiwan R.O.C	08/06/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 06 日
Application Date

申請案號：092121553
Application No.

申請人：力旺電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 3 日
Issue Date

發文字號：09320095290
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	以主動元件回授控制增長延遲時間之延遲電路及相關裝置
	英文	Delay Circuits And Related Apparatus For Extending Delay Time By Active Feedback Elements
二、 發明人 (共3人)	姓名 (中文)	1. 古惟銘 2. 許佑銘 3. 廖緯武
	姓名 (英文)	1. Ku, Wei-Ming 2. Hsu, Yu-Ming 3. Liao, Wei-Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 桃園市東國街三十八號六樓之五 2. 新竹市富群街三十巷一弄三十四號 3. 台北縣瑞芳鎮岳王路14號2樓
	住居所 (英文)	1. 6F-5, No. 38, Tung-Kuo St., Tao-Yuan City, Taiwan, R.O.C. 2. No. 34, Alley 1, Lane 30, Fu-Chun St., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 力旺電子股份有限公司 R.O.C.
	名稱或姓名 (英文)	1. eMemory Technology Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行一路十二號三樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 3F, No. 12, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Huang, Chong-Jen



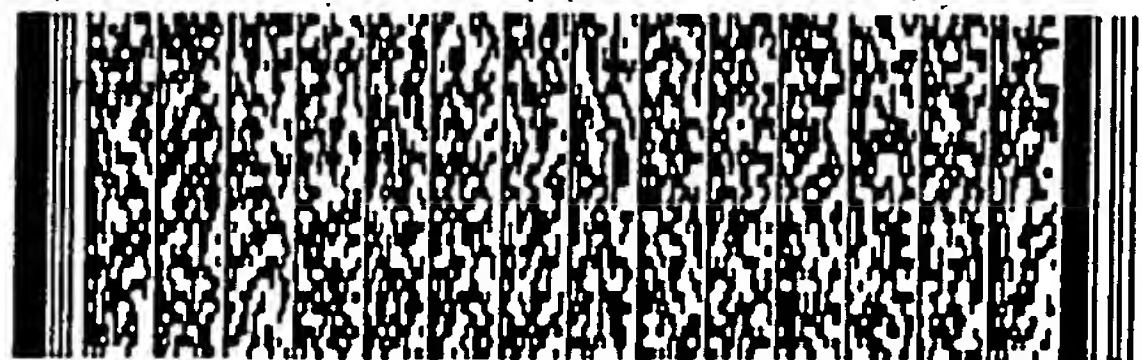
四、中文發明摘要 (發明名稱：以主動元件回授控制增長延遲時間之延遲電路及相關裝置)

訊電、器位變於於該器位裝出遲器生號改近近長大之相關輸延生產訊以趨趨延放號相該該產壓入，漸壓以該訊及使；壓電輸電逐電，而出路，變電該該充壓電小。輸電號改一。在元電充大間該遲訊準、組可單電該的時使延出位器模器電充在流的，的輸之生制生儲該會電壓時間一號產控產該使組電電壓時生訊流授流向，模充考電遲產入電回電以壓制該參考延號輸一一該流電控少該參長訊該、及，電電授減於該種入於元器壓電充回地近過一輪遲單大電充的該態趨超供一延電放考一出而動小壓提據變儲之參供輸；時大電明根改一動一提元壓壓之電發來準有驅供時單電電壓充。本用位設動提變電考考電該變，的中差來改儲參參電在改置號路一用準該該可準

五、(一)、本案代表圖為：第七圖

六、英文發明摘要 (發明名稱: Delay Circuits And Related Apparatus For Extending Delay Time By Active Feedback Elements)

A delay circuit and related apparatus for providing a longer delay time, such that when a level of an input signal changes, a level of an output signal changes accordingly after the predetermined delay time. The delay circuit has a storage unit, a current generator, a voltage generator for providing a reference voltage, a differential amplifier and a feedback control



四、中文發明摘要 (發明名稱：以主動元件回授控制增長延遲時間之延遲電路及相關裝置)

(二)、本案代表圖之元件代表符號簡單說明

30	延遲電路	32A	電壓產生器
32B	電流產生器	34A	回授控制模組
34B	回授電路	36	儲電單元
37C	控制端	Vc、Vr	電壓
Si0、So0	訊號	Ic	電流
Am	放大器	Sc	控制訊號

六、英文發明摘要 (發明名稱：Delay Circuits And Related Apparatus For Extending Delay Time By Active Feedback Elements)

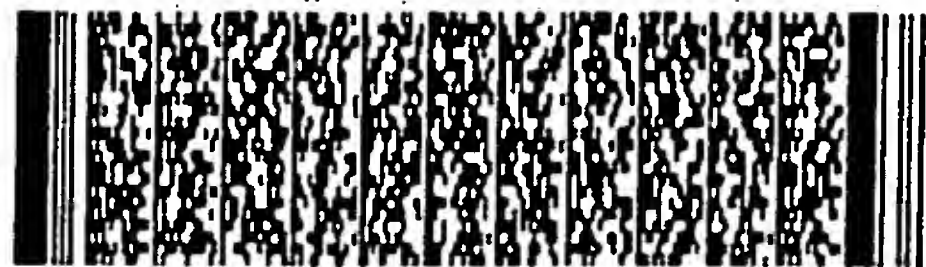
module. The current generator starts to provide a charging current to the storage unit when the input signal changes level, such that an output charging voltage of the storages unit is gradually charged to reach the reference voltage. The feedback control module is capable of dynamically decreasing the charging current provided to the storage unit as the charging



四、中文發明摘要 (發明名稱：以主動元件回授控制增長延遲時間之延遲電路及相關裝置)

六、英文發明摘要 (發明名稱：Delay Circuits And Related Apparatus For Extending Delay Time By Active Feedback Elements)

voltage is approaching the reference voltage, and the amplifier will changes the level of the output voltage when the charging voltage reaches the reference voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

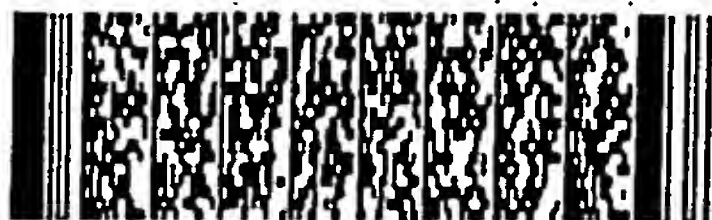
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

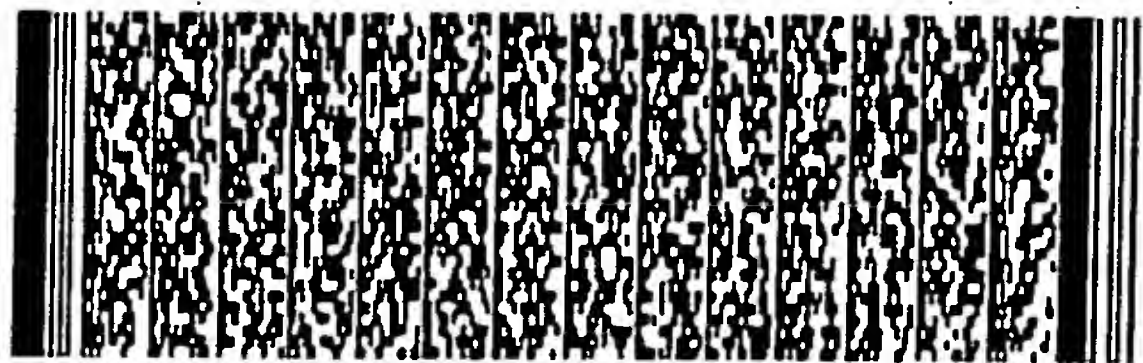
發明所屬之技術領域

本發明係提供一種延遲電路及相關裝置，尤指一種在以電容充放電時間作為延遲時間的設計中以主動元件之回授控制模組動態地減少電容充放電電流以延長延遲時間的延遲電路及相關裝置。

先前技術

在現代化的資訊社會中，各種資料、數據都能快速方便地以電子訊號的形式加以傳播、處理、儲存；而為了因應電子訊號處理上各種不同的功能需求，電子資訊業者也要積極研發各式各樣具有特殊功能的電子電路。

在現代的電子電路中，能以非揮發性方式儲存資料的電子可規劃（寫入）、可抹除式記憶裝置，像是快閃記憶體，已經成為最重要的非揮發性儲存媒體之一。在此類記憶裝置中，為了要達成資料可規劃、可抹除、可非揮發性儲存的特性，往往需要各種具有特殊功能的電子電路來輔助配合。如何以較佳的電路設計實現這些具有特殊功能的輔助性電子電路，也就成為此類記憶裝置能降低成本、縮減體積以普及運用的關鍵之一。請參考圖一；圖一為一典型快閃記憶體10功能方塊的示意圖。快閃記憶體10中設有一控制電路12、一記憶陣列14、一

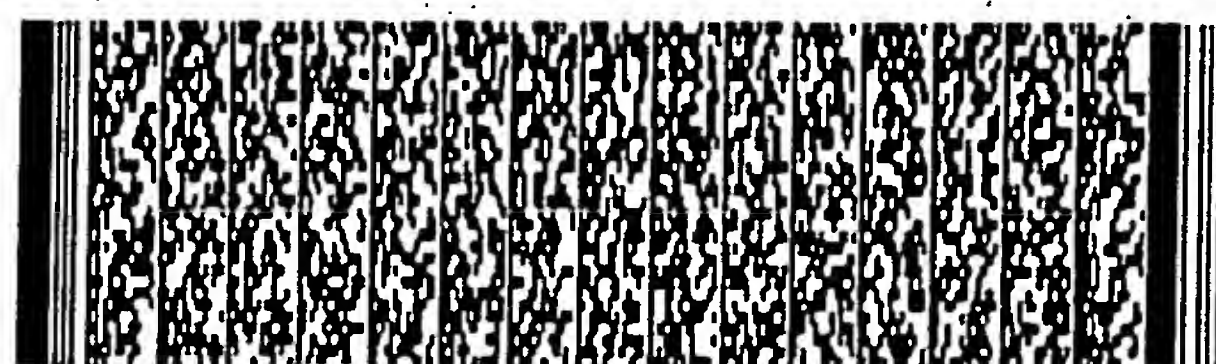
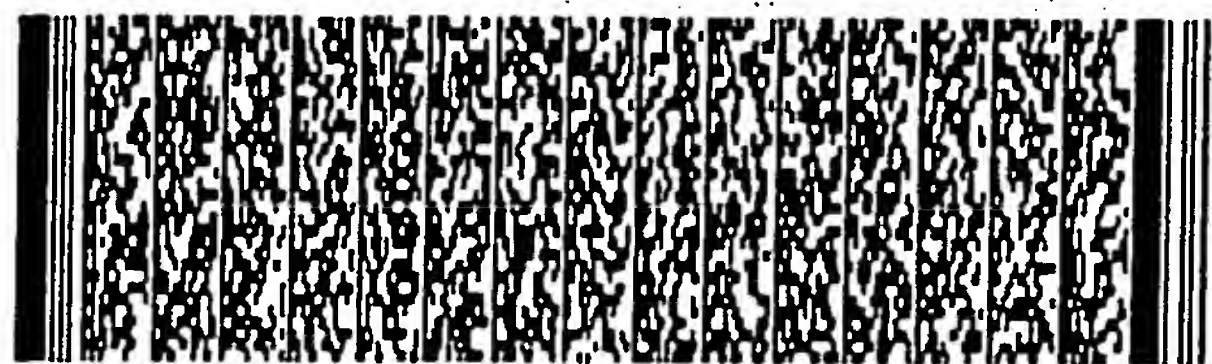


五、發明說明 (2)

升壓電路 (charge pump) 18、一限壓器 (limiter) 17、一傳輸電路 20及一延遲電路 16。控制電路 12可由邏輯電路來實現，用來協調、主控快閃記憶體 10資料規劃

(program)、抹除 (erase)及讀取 (read)等操作；記憶陣列 14中則設有多個記憶單元 15，各個記憶單元 15以一具有浮動閘極 (floating gate)的金氧半電晶體 Q做為主體，以記憶一位元的數位資料。

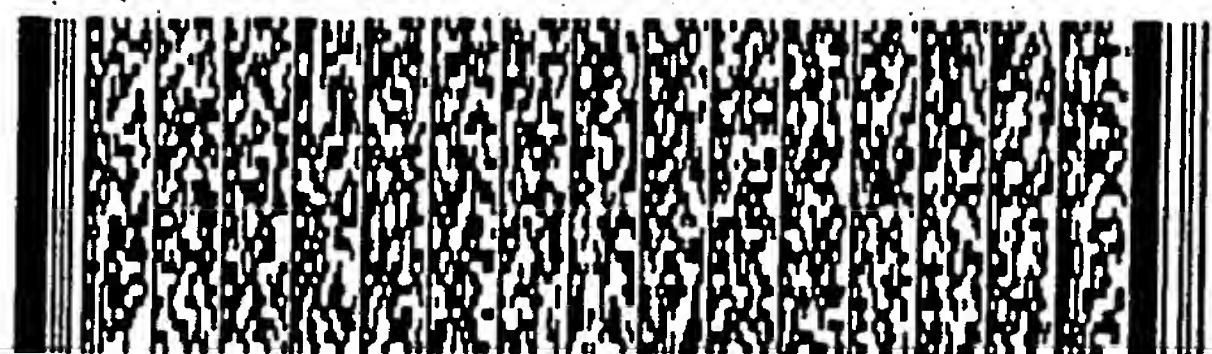
如熟悉技術人士所知，快閃記憶體 10中以具有浮動閘極的電晶體 Q來存取資料時，是要引發電荷隧穿 (tunneling)的效應而使電荷穿過其氧化層注入浮動閘極，或使電荷由浮動閘極移出，以完成數位資料的規劃 (也就是將一位元的資料存入一記憶單元中) 或抹除 (也就是將一記憶單元中儲存的位元抹除)。相對於一般邏輯電路運作所需的電壓，要引發電荷隧穿效應所需的電壓往往要大上許多；舉例來說，一般的邏輯電路通常僅偏壓於 2.5伏 (volt)、3.3伏或 5伏的電壓，但要引發能使電荷穿過氧化層的隧穿效應，往往需要在電晶體 Q的各極上施加 10伏至 15伏的偏壓電壓，才能在快閃記憶體 10中正確順利地完成資料規劃、抹除等運作。因此，快閃記憶體 10中就專門設置了升壓電路 (charge pump) 18，以產生出資料規劃/抹除時所需的高電壓 V_a ，作為一輔助電壓。



五、發明說明 (3)

不過，如熟悉技術人士所知，升壓電路 18 通常都要將電壓 V_a 維持於足夠大的程度一段相當長度的時間，才能使快閃記憶體 10 有充分的時間順利地完成資料規劃 / 抹除，故快閃記憶體 10 中勢必要有一定的控制機制來確保升壓電路 18 已將電壓 V_a 穩態地維持了充分的時間；而快閃記憶體 10 中的限壓器 17 及延遲電路 16，即是用來實現此一控制機制。關於此情形，請進一步參考圖二（並一併參考圖一）；圖二即為圖一中快閃記憶體 10 在進行資料規劃 / 抹除時各相關訊號的波形時序的示意圖；圖二的橫軸為時間，縱軸為各訊號、電壓的位準或電壓大小。

如圖二所示，當控制電路 12 在時點 t_s 要開始進行資料規劃 / 抹除時，會在時點 t_s 將訊號 S_p 由原來的位準 L 轉變至位準 H ，以觸發升壓電路 18 由時點 t_0 開始充電、累增電壓 V_a 。而同樣也接受訊號 S_p 觸發的限壓器 17，其功能就是在電壓 V_a 累增至足夠高的位準 V_A 後，將電壓 V_a 限制於此穩態的位準 V_A 。另外，限壓器 17 在發現電壓 V_a 已累增至位準 V_A 後，也會以訊號 S_i 來觸發延遲電路 16 開始運作。另外，根據訊號 S_i 的觸發，控制電路 12 就可確保升壓電路 18 產生出來的電壓 V_a 已經達到足夠高的位準，能以將此電壓 V_a 經由傳輸電路 20 傳輸到記憶陣列 14，開始進行資料規劃 / 抹除。



五、發明說明 (4)

如圖二所示，當電壓 V_a 在時點 t_0 累增至位準 V_A 後，限壓器 17 就會在此時將訊號 S_i 由位準 L 轉變為位準 H，觸發快閃記憶體 10 開始進行資料規劃/抹除，而延遲電路 16 也開始運作。延遲電路 16 在接收輸入訊號 S_i 的位準轉變後，會在延遲一段預設的延遲時間 T_D 之後，才在訊號 S_o 中反映位準轉變。就如圖二中所示，延遲電路 16 在時點 t_0 接收訊號 S_i 位準轉變的觸發後，會在經過一段延遲時間 T_D 之後，於時點 t_1 將其輸出訊號 S_o 的位準由位準 L 轉變為位準 H；此延遲時間 T_D 就是足以讓快閃記憶體 10 完成資料規劃/抹除所需的時間。而根據訊號 S_o 在時點 t_1 的位準轉變，控制電路 12 就能確保快閃記憶體 10 已經有充分的時間足以完成資料規劃/抹除之作業。

換句話說，延遲電路 16 的功能就類似一計時器，藉由其在訊號 S_i 、 S_o 間引入的延遲時間 T_D ，控制電路 12 就能由訊號 S_o 的位準轉變獲知時間已經經過了延遲時間 T_D 的時間。在以圖一中之架構來實現快閃記憶體 10 資料規劃/抹除之控制機制時，電路設計者可先推算估計出快閃記憶體 10 完成適當資料規劃/抹除所需的時間，再設定延遲電路 16 的延遲時間，讓延遲時間能充分涵蓋資料規劃/抹除時間，這樣就能利用延遲電路 16 在訊號 S_i 、 S_o 間引入延遲時間來確保資料規劃/抹除時控制的時序。

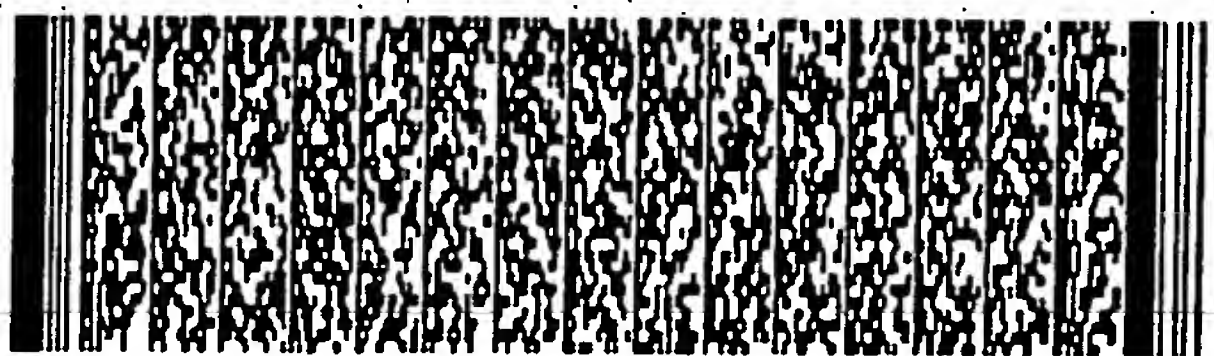
另外，如圖二中所示意的，當訊號 S_i 在時點 t_2 再度由



五、發明說明 (5)

位準 H 轉變為位準 L 時，訊號 So 最好也能快速地在時點 t_2 由位準 H 恢復為位準 L。相對於訊號 Si、So 由位準 L 轉變為位準 H 的觸發功能，訊號 Si、So 反相由位準 H 恢復為位準 L 就相當於重設 (reset)；若延遲電路 18 能在訊號 Si 於時點 t_2 重設時也快速地重設其輸出訊號 So，代表延遲電路 18 在時點 t_2 之後能很快地準備好以再度開始「計時」。若在時點 t_2 之後控制電路 12 還要進行另一次的資料規劃/抹除，勢必還要再度利用延遲電路 16 於訊號 Si、So 之間引入延遲時間的功能；延遲電路 16 能越快地隨訊號 Si 之重設而由位準 H 回復到位準 L，控制電路 12 就能越快地再度訊號 Si 轉變為位準 H 而觸發升壓電路 18 再度充電累增電壓 Va，並再度利用訊號 So 中由位準 L 至位準 H 的位準轉變來確認升壓電路 18 的充電時間。

如熟悉技術人士所知，在上述的應用下，一般來說，延遲電路 16 引入的延遲時間約需要數 μs ($1\mu s$ 為一百萬分之一秒) 到數 ms ($1ms$ 為一千分之一秒)，甚至於到 100ms 之間。然而，一般用在邏輯電路中的延遲電路，通常僅能引入數個 ns ($1ns$ 為十億分之一秒) 的延遲時間，無法用來實現快閃記憶體 10 中的延遲電路 16 所需的長延遲時間。為了因應快閃記憶體資料規劃/抹除的特殊控制機制，快閃記憶體 10 中的延遲電路 16 也就要經過特殊的電路設計，才能有效實現。



五、發明說明 (6)

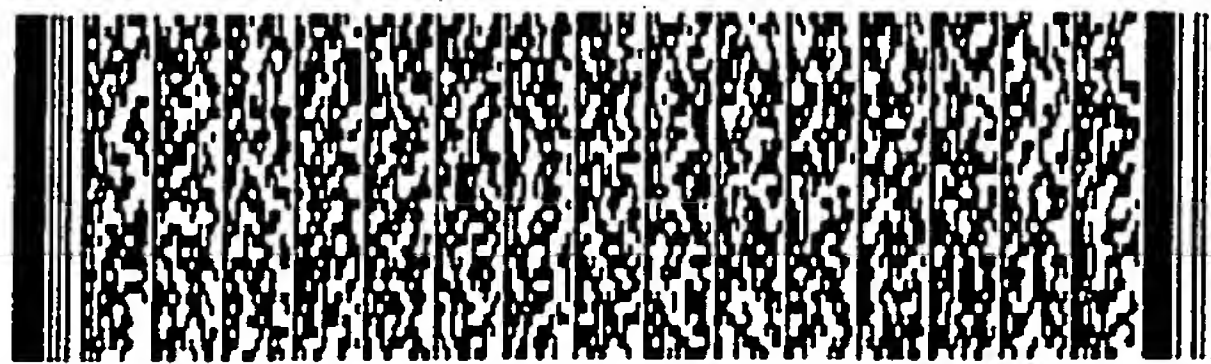
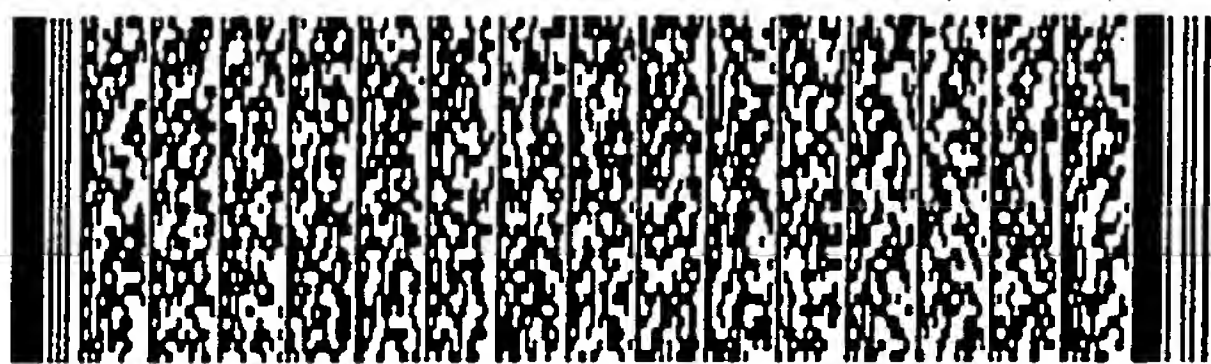
請參考圖三。圖三即為一習知延遲電路 22 的電路示意圖。延遲電路 16 偏壓於直流電壓 V_s 及 V_g (譬如說是地端電壓) 之間；以一電壓訊號 V_i 作為輸入訊號，並以一電壓訊號 V_o 作為其輸出訊號。為了要實現圖一中延遲電路 16 所應具備的功能，延遲電路 22 設有一 p 型金氧半電晶體 M_{p0} 、一 n 型金氧半電晶體 M_{n0} 、一電阻 R 、一電容 C 及一反相器 I_0 。電晶體 M_{p0} 、 M_{n0} 的閘極電連於節點 N_1 ，用來接收輸入訊號 V_i ；電晶體 M_{p0} 、 M_{n0} 的汲極則共同電連於節點 N_2 ，並透過電阻 R 與電容 C 連接於節點 N_3 。反相器 I_0 則將節點 N_3 的電壓 V_c 反相而成為電壓訊號 V_o ，作為延遲輸出訊號。

9-20
至於延遲電路 22 運作的原理，請進一步參考圖四 (並一併參考圖三)；圖四即為圖三延遲電路 22 運作時各相關訊號波形時序之示意圖；各波形之橫軸為時間，縱軸為電壓大小。如圖四所示，在時點 tp_3 之前，當訊號 V_i 還維持於位準 L (像是直流電壓 V_g ，地端電壓的位準) 時，此時電晶體 M_{n0} 不導通，而導通的電晶體 M_{p0} 會將節點 N_3 的電壓 V_c 維持至位準 H (像是直流電壓 V_s 的位準)；根據此維持於位準 H 的電壓 V_c ，反相器 I_0 就會反相地使訊號 S_o 維持於位準 L 。等到輸入訊號 S_i 之位準在時點 tp_3 由位準 L 轉變為位準 H 時，就會使電晶體 M_{p0} 不導通，改將電晶體 M_{n0} 觸發導通，讓電晶體 M_{n0} 導通一放電的電流 I_n ，經由節點 N_2 透過電阻 R 而將電容 C 放電，讓節點 N_3 的電壓

五、發明說明 (7)

V_c 由位準 H 逐漸下降。等到時點 tp_4 ，電壓 V_c 已經下降到接近位準 L 的程度，反相器 I0 就會被觸發反相，使訊號 V_o 在時點 tp_4 由位準 L 改變至位準 H。而時點 tp_3 、 tp_4 之間的時段 T_{dA} ，也就是延遲電路 22 所能引入的延遲時間。換句話說，輸入訊號 V_i 在時點 tp_3 的位準轉變會觸發延遲電路 22 開始將電容 C 放電，等到電容 C 充電的電壓由位準 H 趨近於位準 L，就會引發訊號 V_o 在時點 tp_4 的位準轉變，相當於將訊號 V_i 在時點 tp_3 的位準轉變延遲為訊號 V_o 在時點 tp_4 的位準轉變。利用訊號 V_i 、 V_o 之間的時間延遲，就能用來實現圖一中所需的延遲電路 16。

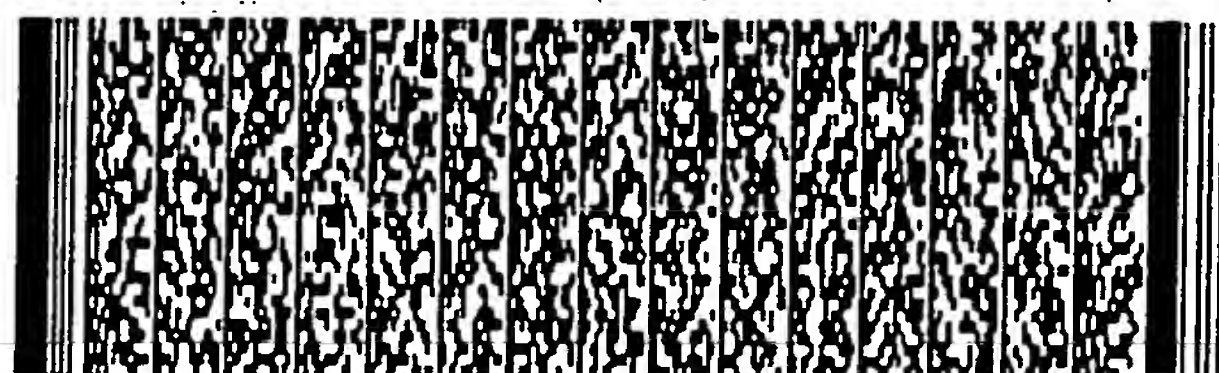
由上述描述可知，圖三中習知延遲電路 22 的延遲時間 T_{dA} 也就是以電流 I_n 透過電阻 R 將電容 C 放電所需的時間；此時間會和電容 C 之電容值與電阻 R 之電阻值兩者之乘積成正相關。換句話說，要以圖三中之架構來實現出長延遲時間的延遲電路 16，就要加大電容 C 之電容值或電阻 R 之電阻值，才能增長其延遲時間。而這也就成為習知延遲電路 22 的缺點之一，因為大電容值、大電阻值都需要較大的佈局 (layout) 面積才能實際實現，這也使得習知延遲電路 22 的整體佈局面積無法縮減，不符合現代電子電路小佈局面積的需求。另外，習知延遲電路 22 也無法快速地重設。如圖四所示，若輸入訊號 V_i 在時點 tp_5 由位準 H 轉變為位準 L 而要重設延遲電路 22 時，電晶體 Mn_0 就會停止導通，改由電晶體 Mp_0 導通，以提供一電流 I_p 透過電



五、發明說明 (8)

阻 R 向電容 C 充電，使電壓 V_c 能由位準 L 再度升高至位準 H 而達到重設的目的。不過，由於電流 I_p 還是要經過電阻 R 才能向電容 C 充電，故電壓 V_c 要延遲到時點 tp_6 才能真正趨近於位準 H 而觸發反相器 I_0 將輸出訊號 V_o 重設為位準 L 。而時點 tp_5 、 tp_6 之間充電的延遲時間 T_{dB} 事實上會和延遲時間 T_{dA} 差不多。也就是說，習知之延遲電路 22 無法快速地隨輸入訊號 V_i 之重設而重設其輸出訊號 V_o ，這也無法符合圖一中延遲電路 16 的需求。

請參考圖五。圖五為另一習知延遲電路 24 之電路示意圖。此習知延遲電路 24 係揭露於美國專利第 5969557 號，其接受一電壓訊號 V_{pi} 為輸入訊號，並提供一電壓訊號 V_{po} 作為輸出訊號。延遲電路 24 中設有一電流產生器 26、一電壓產生器 28、一作為儲電單元的電容 C_0 及一差動放大器 A_p 。電流產生器 26 中設有 p 型金氧半電晶體 M_{p1} 至 M_{p3} ；其中電晶體 M_{p2} 及 M_{p3} 形成一電流鏡，用來產生具有特定電流比的兩電流 I_{r0} 、 I_{c0} ；電晶體 M_{p1} 的源極及汲極則分別電連於直流電壓 V_s 以及節點 N_{p2} 之間，其閘極受訊號 V_{pi} 之控制。電壓產生器 28 中設有 n 型金氧半電晶體 M_{n1} 、 M_{n2} ；電晶體 M_{n1} 之汲極經由電阻 R_0 電連於節點 N_{p2} ，源極偏壓於直流電壓 V_g ，閘極則由訊號 V_{pi} 控制。電晶體 M_{n2} 的汲極、源極分別電連於節點 N_{p3} 及直流電壓 V_g 之間，其閘極則經由反相器 I_{P0} 受訊號 V_{pi} 之反相訊號的控制。差動放大器 A_p 有正負兩輸入端（於圖五中分別

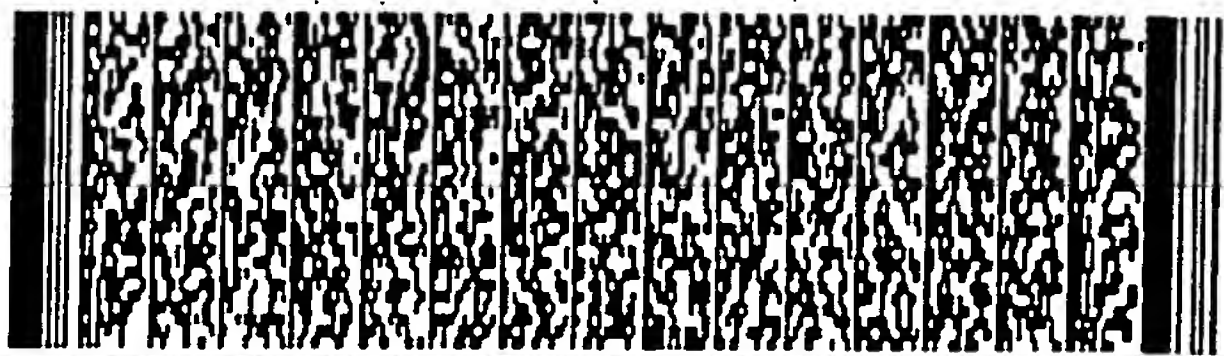
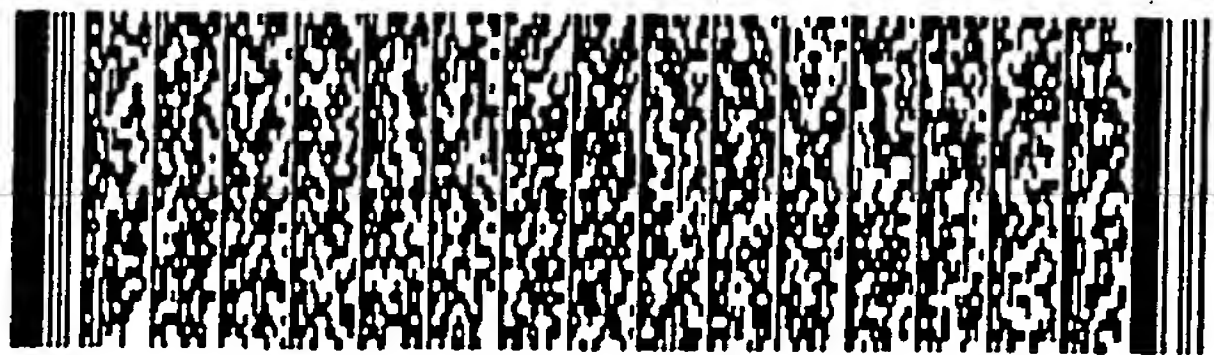


五、發明說明 (9)

標示為「+」、「-」)，分別電連於節點 $Np3$ 、 $Np2$ 以接收電壓 V_{pc} 、 V_{pr} 為輸入，而放大器 A_p 輸出的訊號即為訊號 V_{po} 。

至於習知延遲電路 24 運作的原理，請參考圖六（並一併參考圖五）。圖六為圖五中延遲電路 24 運作時各電壓訊號波形時序的示意圖；各波形之橫軸為時間，縱軸為電壓大小。如圖六所示，當輸入訊號 V_{pi} 維持於位準 L 時（像在時點 $tp0$ 之前），電晶體 $Mp1$ 導通而使電晶體 $Mp2$ 與 $Mp3$ 不導通；導通的電晶體 $Mp1$ 會將節點 $Np2$ 的電壓 V_{pr} 維持於位準 H （如直流電壓 V_s 的位準），而導通的電晶體 $Mn2$ 會使節點 $Np3$ 的電壓 V_{pc} 維持於位準 L （像是地端直流電壓 V_g 的大小）。由於放大器 A_p 正負兩輸入端之電壓 V_{pc} 、 V_{pr} 分別為位準 L 及 H ，故放大器 A_p 在時點 $tp0$ 之前的輸出訊號 V_{po} 也會維持於位準 L ，如圖六所示。

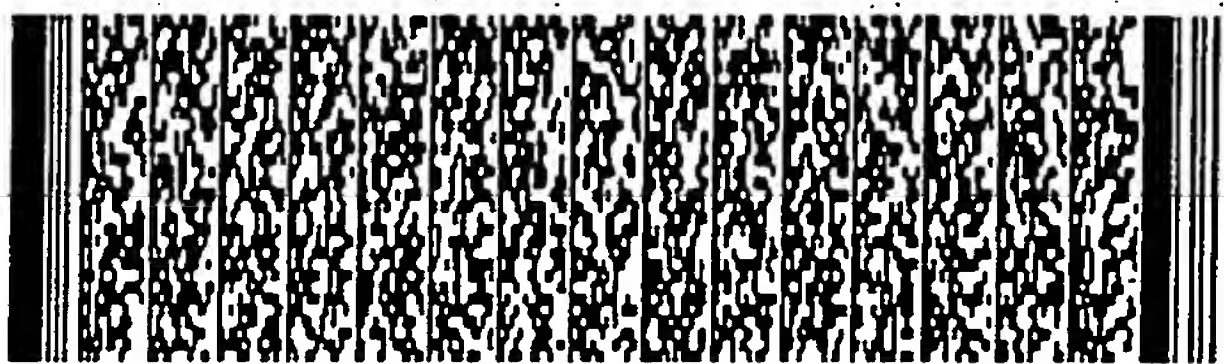
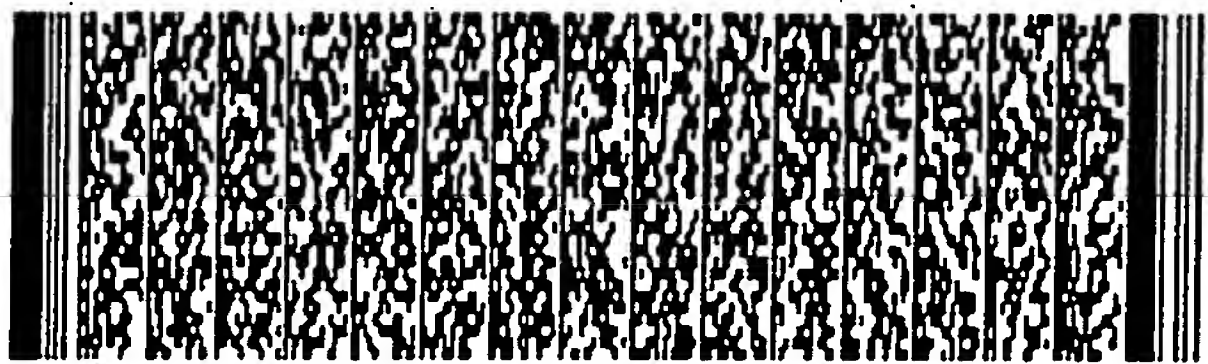
等到時點 $tp0$ 時，輸入訊號 V_{pi} 由位準 L 升高至位準 H ，即觸發了延遲電路 24 開始啟動其延遲功能。當訊號 V_{pi} 在時點 $tp0$ 升高為位準 H 時，電晶體 $Mp1$ 停止導通，改由電晶體 $Mn1$ 導通。停止導通的電晶體 $Mp1$ 會使電流鏡中的電晶體 $Mp2$ 、 $Mp3$ 開始導通而分別產生出恆定的常數定電流 I_{r0} 、 I_{c0} ，此時電流 I_{r0} 就作為一參考電流，注入電阻 $R0$ 而於節點 $Np2$ 建立起一大小為穩態位準 V_R 之電壓 V_{pr} 以作為一參考電壓，就如圖六中電壓 V_{pr} 之波形所示。而電流



五、發明說明 (10)

I_{c0} 就作為一充電電流，經由節點 N_{p3} 注入電容 C_0 以向電容 C_0 充電，讓節點 N_{p3} 的電壓 V_{pc} 由位準 L 逐漸升高。就如圖六所示，等到了時點 tp_1 ，由電流 I_{c0} 充電而逐漸升高的電壓 V_{pc} 終於升高到大於位準 V_R 的程度，此時放大器 A_p 正輸入端之電壓 V_{pc} 也就開始大於其負輸入端之電壓 V_{pr} ，使得放大器 A_p 在時點 tp_1 將其輸出之電壓訊號 V_{po} 由位準 L 升高到位準 H 。換句話說，藉由對電容 C_0 的充電，習知延遲電路 24 就會將輸入訊號 V_{pi} 在時點 tp_0 的位準轉變反映為輸出訊號 V_{po} 延遲至時點 tp_1 的位準轉變，以實現了延遲電路的功能。而在時點 tp_0 、 tp_1 之間的時段 T_{d0} 就是習知延遲電路 24 所能引入的延遲時間。

相較於圖三中的延遲電路 22，圖五中的延遲電路 24 是以電流 I_{c0} 直接對電容 C_0 之充電來達成其延遲的功能，以避免延遲電路 22 中 RC （電阻-電容）電路所需耗用的大佈局面積。然而，圖五中延遲電路 24 還是有其他的缺點。首先，延遲電路 24 的電流鏡是以穩態的定電流 I_{c0} 對電容 C_0 充電，故在充電期間，電容 C_0 之電壓 V_{pc} 也會隨時間以固定的速度快速升高（也就是其電壓值隨時間線性地遞增），如圖六中所示。由於定電流 I_{c0} 對電容 C_0 的充電速度過快，也就使延遲電路 24 較難實現出較長的延遲時間。另外，如圖六所示，當電容 C_0 的電壓 V_{pc} 在時點 tp_1 被充電到位準 V_R 後，由於延遲電路 24 電路結構的關係，電流 I_{c0} 還是會繼續對電容 C_0 充電，直到時點 tp_2 ，當電



五、發明說明 (11)

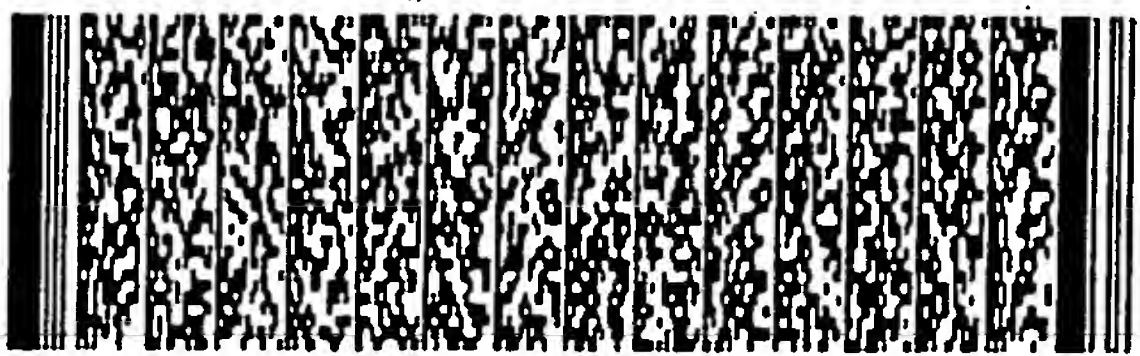
壓 V_{pc} 達到直流電壓 V_s 的位準，電壓 V_{pc} 才會停止增加。換句話說，即使在時點 $tp1$ 延遲電路已經完成了其延遲的功能，在時點 $tp1$ 至 $tp2$ 之間，習知延遲電路 24 的電流鏡還是要另外提供功率來對電容 $C0$ 充電，造成功率率的浪費。

發明內容

因此，本發明之主要目的，就是要提供一種延遲電路的較佳設計及相關裝置，以克服上述習知技術的缺點。

在習知技術中，是以電阻-電容 (RC) 電路充放電或是以定電流充電的方式來實現延遲電路的延遲功能，但這些習知技術或需要較大的佈局面積，或較難實現較長的延遲時間。

在本發明中之延遲電路中，設有一電流產生器、一電壓產生器、一儲電單元 (像是電容)、一個以主動元件形成的回授控制模組及一差動放大器。當輸入訊號改變位準而觸發延遲電路開始進行其延遲功能時，電壓產生器可產生一參考電壓，而電流產生器也會開始產生一充電電流，由回授控制模組將充電電流傳輸至儲電單元對其充/放電，以累增/遞減儲電單元輸出的充電電壓；放大器則用來比較充電電壓與參考電壓之間的大小關係。



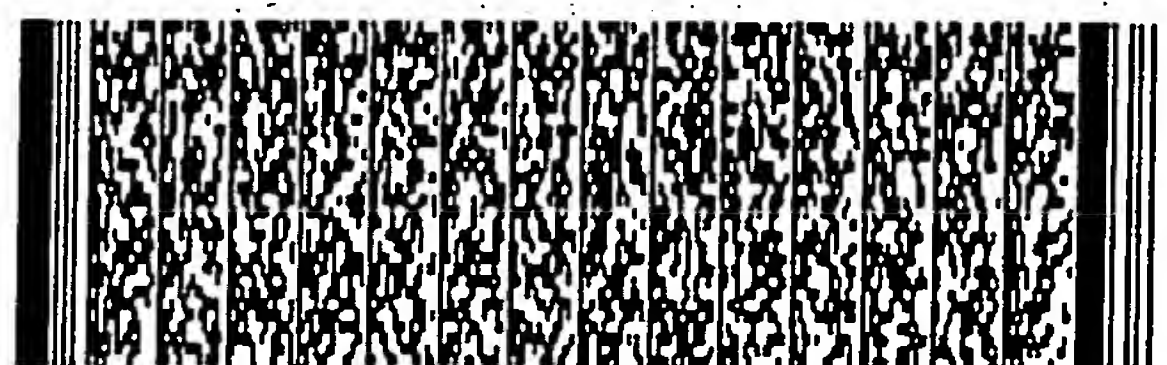
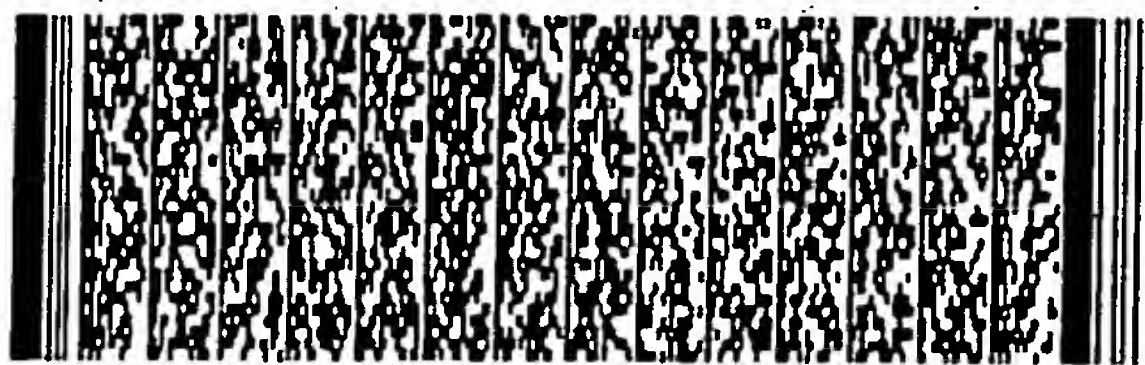
五、發明說明 (12)

等到充電電壓及參考電壓間的大小關係因充/放電而改變後，放大器就會觸發輸出訊號位準改變以實現延遲功能。在對儲電單元充放電的期間，隨著充電電壓逐漸趨近參考電壓，回授控制模組也會動態地逐漸減少傳輸至儲電單元的充電電流，使充電電壓趨近參考電壓的速度也逐漸減慢，因此本發明之延遲電路能有效地增長延遲時間，實現出較長的延遲時間。而本發明中的回授控制模組是以主動元件（像是電晶體）形成，可以避免習知電阻-電容電路無法縮減其佈局面積的缺點。

本發明之延遲電路適用於快閃記憶體高電壓升壓電路之控制機制中，能以較小的佈局面積有效實現長延遲時間，讓快閃記憶體能有充分的時間進行資料規劃/抹除，確保快閃記憶體運作正常，又能縮減快閃記憶體的整體佈局面積。

實施方式

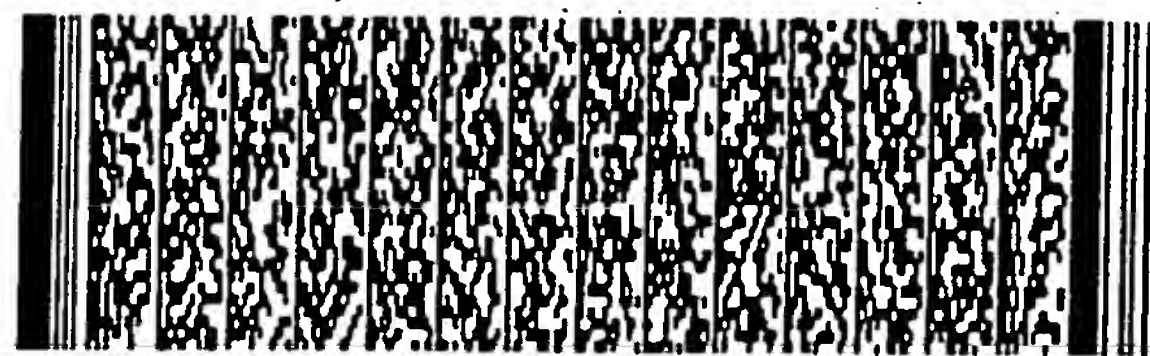
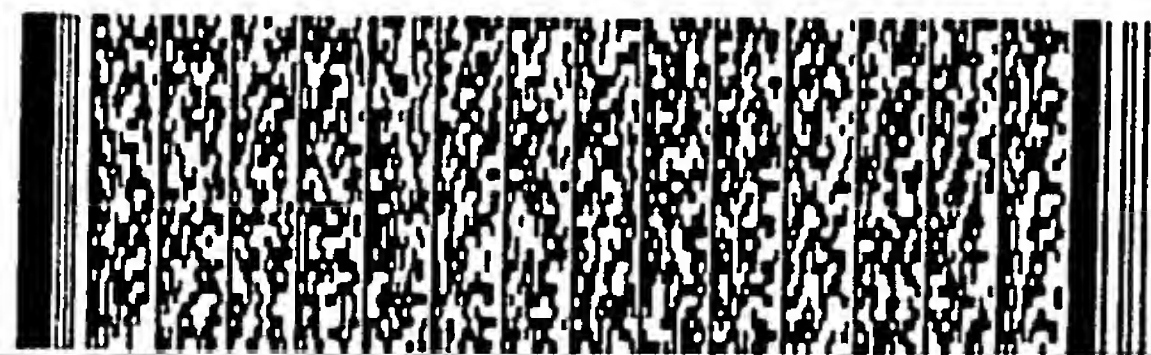
請參考圖七。圖七為本發明中延遲電路 30 功能方塊之示意圖。延遲電路 30 接收訊號 $Si0$ 作為輸入訊號，以訊號 $So0$ 作為輸出訊號，能將訊號 $Si0$ 的位準轉變反映為訊號 $So0$ 中延遲發生的位準轉變。延遲電路 30 中設有一電壓產生器 32A、一電流產生器 32B、一回授控制模組 34A、一回授電路 34B、一儲電單元 36 以及一差動放大器 A_m 。當訊號



五、發明說明 (13)

Si0的位準轉變而觸發延遲電路30開始執行延遲功能時，電壓產生器32A會產生一電壓 V_r 作為一參考電壓，電流產生器32B則會開始產生一電流 I_c 作為一充電電流。此充電電流 I_c 會經由回授控制模組34A傳輸至儲電單元36。儲電單元36可由電容實現，以根據充電電流 I_c 對其充/放電的情形提供一充電電壓 V_{c0} 。儲電單元36提供的充電電壓 V_{c0} 會傳輸至回授電路34B及放大器 A_m 。其中，回授電路34會根據充電電壓 V_{c0} 的大小產生一控制訊號 S_c ；控制訊號 S_c 會回授傳輸至回授控制模組34A的一個控制端37C，讓回授控制模組34A能根據控制訊號 S_c 動態地調整傳輸至電單元36的充電電流 I_c 。同時，放大器 A_m 會持續比較參考電壓 V_r 及充電電壓 V_{c0} 之間的大小關係，等到充電電壓 V_{c0} 隨時間改變而逐漸趨近參考電壓 V_r 並進而改變參考電壓 V_r 與充電電壓 V_{c0} 間的大小關係後，就會觸發放大器 A_m 改變輸出訊號 S_{o0} 的位準，達成延遲電路30的延遲功能。

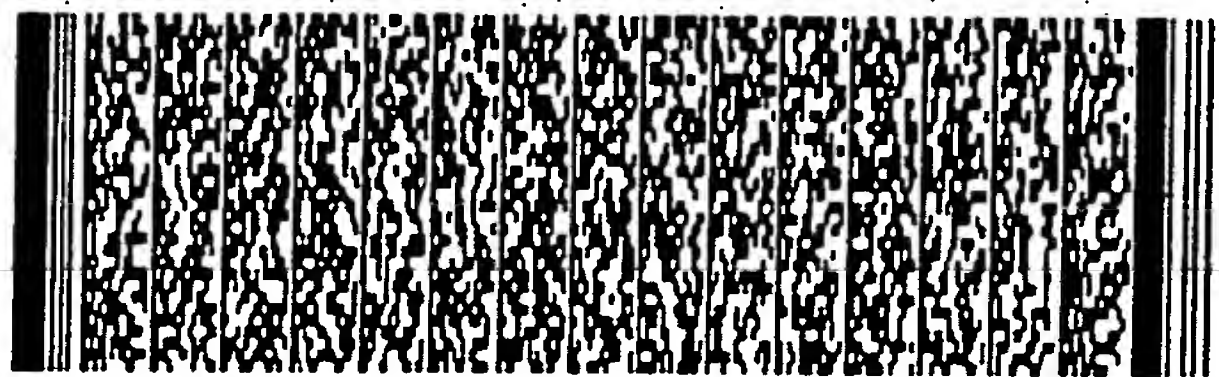
本發明的特點之一，就在於以回授控制模組34A來動態地調整傳輸至儲電單元36的充電電流 I_c 。在實際運作時，當電流產生器32B提供充電電流 I_c 時而使儲電單元36的充電電壓 V_{c0} 逐漸改變時，回授電路34也會依據充電電壓 V_{c0} 的改變而改變控制訊號 S_c ；回授控制模組34A經由控制訊號 S_c 感測到充電電壓 V_{c0} 逐漸趨近於參考電壓 V_r 時，就會逐漸減少傳輸至儲電單元36的充電電流 I_c ，讓



五、發明說明 (14)

充電電壓 V_{c0} 改變的速度趨緩，而充電電壓 V_{c0} 達到參考電壓 V_r 的時間也就會隨之拉長，這樣一來就可實現出具有長延遲時間的延遲電路 30 了。在本發明之較佳實施例中，此回授控制模組 34A 是由主動元件構築而成，能有效縮減本發明延遲電路所需之佈局面積。

為進一步說明本發明實施的具體方法，請參考圖八。圖八為本發明一實施例之延遲電路 40 的電路示意圖。延遲電路 40 接收一電壓訊號 V_{i1} 作為輸入訊號，以電壓訊號 V_{o1} 作為延遲後的輸出訊號。在延遲電路 40 中，是以電阻 R_{a1} 、 R_{a2} 及一 n 型金氧半電晶體 Q_{n1} 形成一分壓電路，以做為一電壓產生器 32A，在節點 $Na2$ 建立一電壓 V_{r1} 作為一參考電壓；電晶體 Q_{n1} 的閘極即於節點 $Na1$ 接收訊號 V_{i1} 的觸發控制。一 p 型金氧半電晶體 Q_{p2} 、n 型金氧半電晶體 Q_{n2} 、反相器 $I1$ 等則形成一電流產生器 42B，當其開始運作後，可於電晶體 Q_{p2} 的汲極、源極間導通一電流 I_{c1} 作為充電電流。p 型金氧半電晶體 Q_{p1} 則作為本發明中的回授控制模組，其閘極可視為其控制端，而其源極及汲極相當於兩傳輸端，分別電連於直流電壓 V_s 與電晶體 Q_{p2} 的源極，以控制電流 I_{c1} 傳輸的電連路徑，調整電流產生器 42B 導通之電流 I_{c1} 的大小。電容 C_a 作為延遲電路 40 的儲電單元，於節點 $Na3$ 接收電流 I_{c1} ，以在節點 $Na3$ 建立電壓 V_{c1} 作為一充電電壓。節點 $Na3$ 與電晶體 Q_{p1} 閘極之間的電連即等同於一回授電路，直接將電壓 V_{c1} 作為回授至電晶

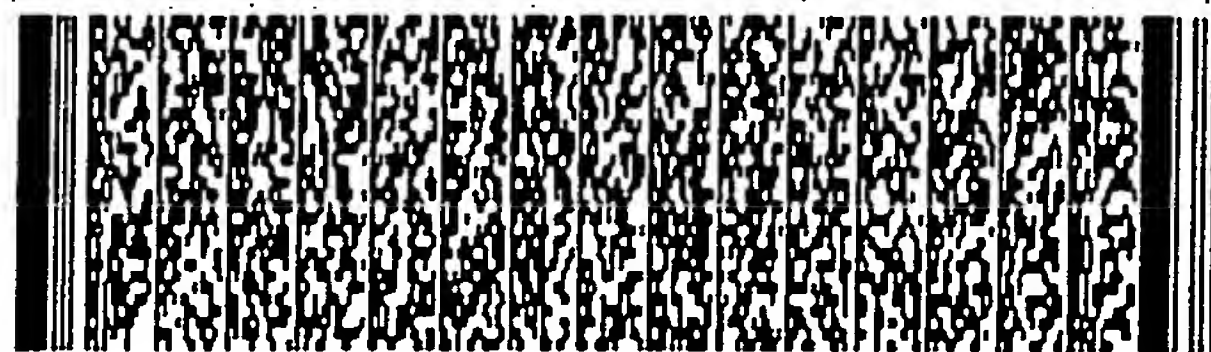
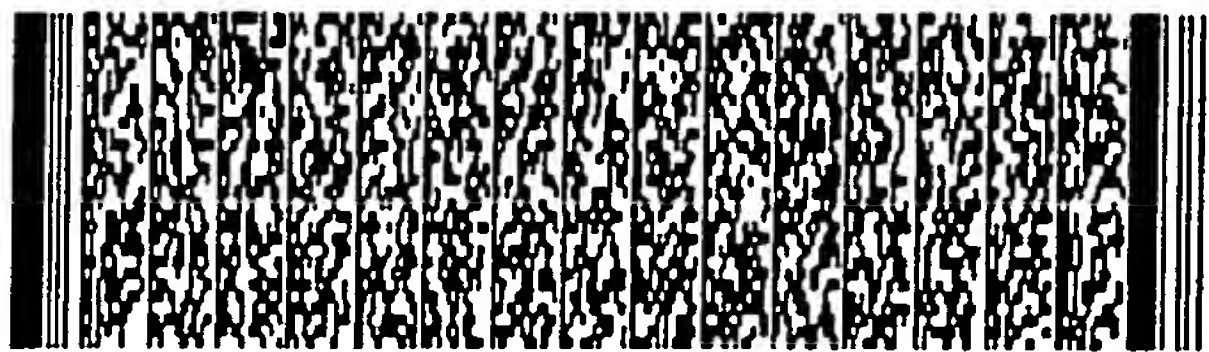


五、發明說明 (15)

體 Qp1 控制端的控制訊號。放大器 A1 的正負輸入端 (圖八中標示為「+」、「-」) 分別接收電壓 Vc1 及 Vr1, 並輸出電壓訊號 Vo1 作為延遲電路 40 的輸出訊號。

至於延遲電路 40 運作的原理, 請繼續參考圖九 (並一併參考圖八)。圖九即為圖八中延遲電路 40 運作時各相關訊號波形時序之示意圖; 各波形之橫軸為時間, 縱軸則為電壓大小。如圖九所示, 在時點 ta0 之前, 輸入訊號 Vi1 維持於位準 L (像是地端直流電壓 Vg 的大小), 電壓產生器 42A 中的電晶體 Qn1 不導通電流, 電阻 Ra1 的跨壓為 V_s , 使參考電壓 Vr1 維持於與直流電壓 Vs 相當的位準 H。同時, 也由於輸入訊號 Vi1 為位準 L, 其反相後的位準 H 就會使電流產生器 42B 中的電晶體 Qn2 導通, 將 Na3 的充電電壓 Vc3 拉低至位準 L; 維持於位準 H 的參考電壓 Vr1 也使電晶體 Qp2 不導通任何電流。由於電壓 Vr1 大於電壓 Vc1, 放大器 A1 輸出的訊號 Vo1 也就維持於位準 L。

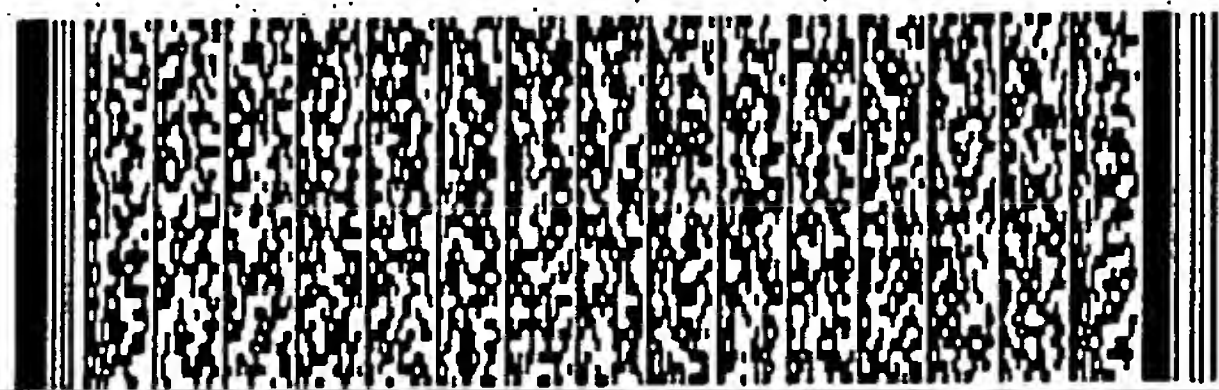
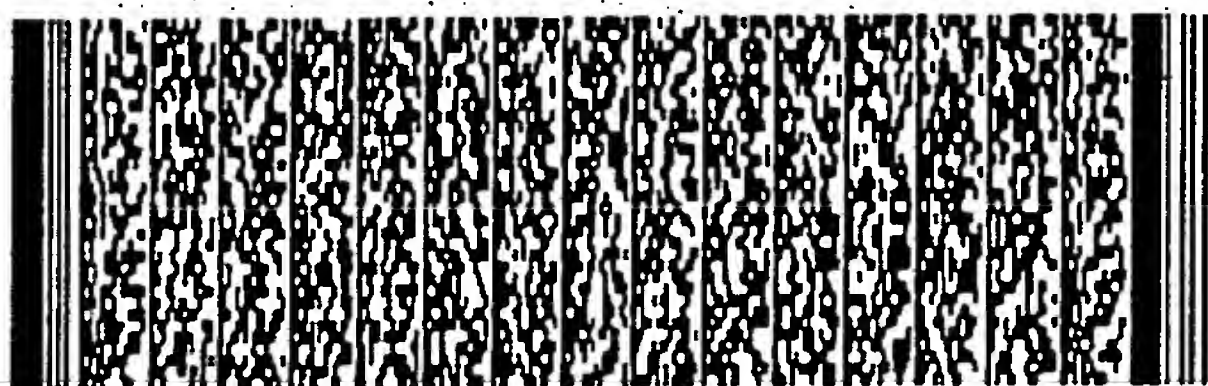
到了時點 ta0, 輸入訊號 Vi1 由位準 L 轉變為位準 H 而開始觸發延遲電路 40 執行其延遲的功能。此時, 位準 H 的訊號 Vi1 會使電壓產生器 42A 中的電晶體 Qn1 導通電流, 讓電阻 Ra1、Ra2 上有電流導通而在節點 Na2 建立起直流電壓 Vs 的穩定分壓; 如圖九所示, 在時點 ta0 之後, 參考電壓 Vr1 就維持於位準 V1, 而此位準 V1 大致上就等於 $V_s * Ra2 / (Ra1 + Ra2)$ 。而在時點 ta0 之後, 轉為位準 H 的輸入訊號



五、發明說明 (16)

V_{i1} 反使電流產生器 42B中的電晶體 Q_{n2} 停止導通；相對地，電晶體 Q_{p2} 、 Q_{p1} 都會開始導通，將充電電流 I_{c1} 經由節點 $Na3$ 傳輸至電容 Ca ，開始向電容 Ca 充電，也使節點 $Na3$ 的電壓 V_{c1} 在時點 $ta0$ 之後開始漸增，如圖九所示。直到時點 $ta2$ ，電壓 V_{c1} 開始達到並超越電壓 V_{r1} 的位準 $V1$ ，放大器 $A1$ 就會因為電壓 V_{c1} 開始大於 V_{r1} 而將輸出訊號 V_{o1} 由位準 L 轉變為位準 H 。換句話說，延遲電路 40將輸入訊號 V_{i1} 在時點 $ta0$ 的位準轉變延後了一段延遲時間 T_{d1} （如圖九中所標示），而反映為輸出訊號 V_{o1} 在時點 $ta2$ 的位準轉變，達成了其延遲功能。

如前所述，本發明的特色之一，就是回授控制模組會在對儲電單元充/放電的過程中動態地減少充/放電的電流，拉長延遲時間。在延遲電路 40中，隨著電壓 V_{c1} 在時點 $ta0$ 之後逐漸增高，作為回授控制模組的電晶體 Q_{p1} ，其閘極電壓也會隨之增高。這使得電晶體 Q_{p1} 於其源極、閘極的跨壓逐漸縮小，也使電晶體 Q_{p1} 的導通程度逐漸縮小，連帶地使電流產生器 42A導通至節點 $Na3$ 的電流 I_{c1} 也逐漸減少，並使電壓 V_{c1} 累增的趨勢也減緩。就如圖九所示，電壓 V_{c1} 之波形在時點 $ta0$ 之後會呈現一下凹的遞增曲線，代表其增加的速度（也就是波形的斜率）隨時間而逐漸趨緩、變小。這樣一來，電壓 V_{c1} 就要花更長的時間才能累增至位準 $V1$ 的程度，而本發明就能以此原理來實現出具有更長延遲時間的延遲電路了。等效上來說，

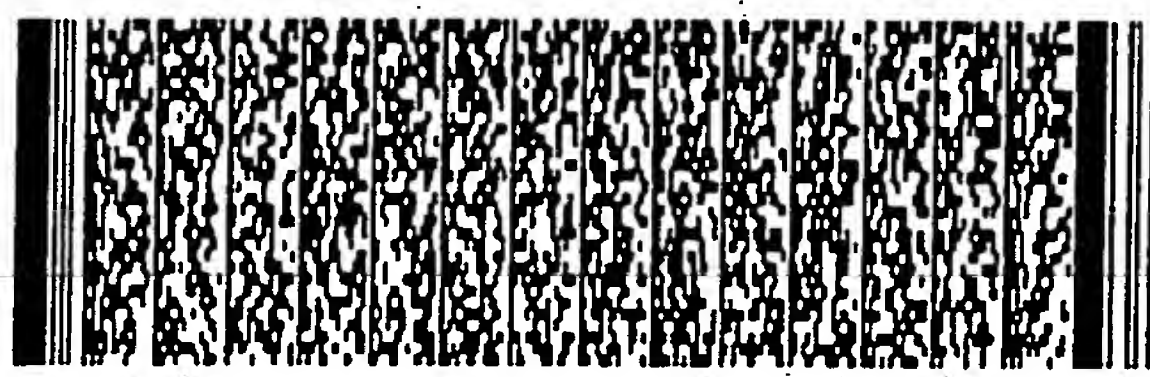
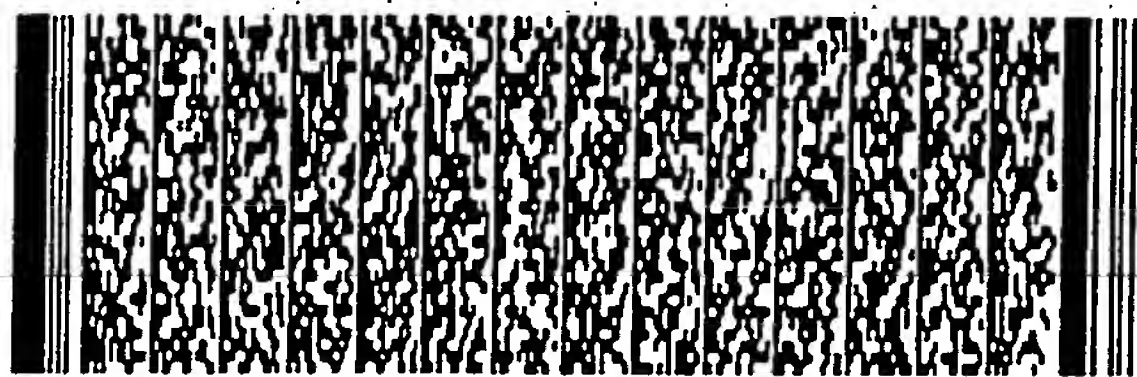


五、發明說明 (17)

作為回授控制模組之電晶體 Q_{p1} 就類似於一可變電阻，於其兩傳輸端（也就是汲極、源極）間的等效電阻會隨閘極電壓 V_{c1} 之改變而動態地改變，以動態地減少電流 I_{c1} 的導通量。

為了說明本發明之功效，圖九中也以虛線之電壓波形 V_{c1s} 繪出了在不設置電晶體 Q_{p1} 之情況下，電壓 V_{c1} 遞增的情形。在未設置電晶體 Q_{p1} 的情形下，電晶體 Q_{p2} 會是一個定電流源（類似於圖五中習知延遲電路 24 的電流產生器），使得電壓 V_{c1} 會線性地快速遞增，提前在時點 a_1 即將電壓 V_{c1} 充電至位準 V_1 而觸發輸出訊號 V_{o1} 的位準轉變。本發明在加上了作為回授控制模組的電晶體 Q_{p1} 後，就能在電容 C_a 充電的期間依充電的情形而動態地逐漸減少充電電流 I_{c1} ，有效拉長電壓 V_{c1} 累增至位準 V_1 的時間，以實現出比習知技術具有更長延遲時間的延遲電路。

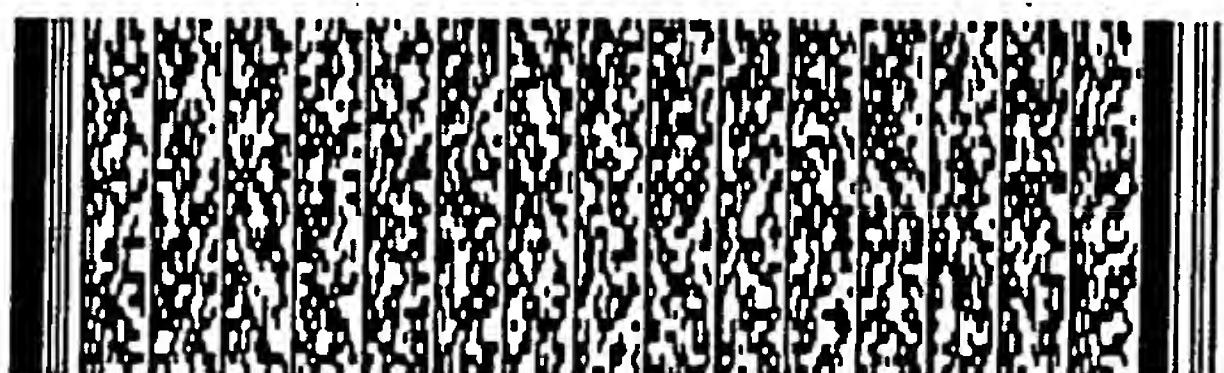
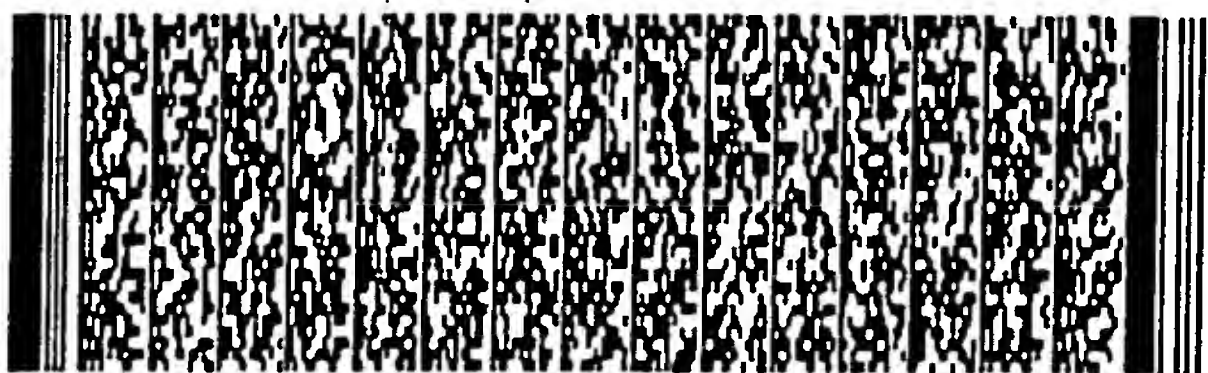
另外，本發明在加上回授控制模組後，由於電晶體 Q_{p1} 源極、閘極間的跨壓，使得電容 C_a 最高只會充電至位準 $(V_s - V_t)$ （其中 V_t 即電晶體 Q_{p1} 的臨限電壓，threshold voltage），可以減少對電容 C_a 充電時的功率消耗。相較之下，圖五中習知延遲電路 24 就還要將電容 C_0 充電至較高的位準 V_s ，耗費多餘的功率。



五、發明說明 (18)

由於本發明中是以主動元件的電晶體來實現回授控制模組，佔用的佈局面積很小，不像圖三中習知技術的電阻-電容延遲電路22需要使用極大的佈局面積才能實現長延遲時間的延遲電路。另外，本發明中的延遲電路也能快速地重設。如圖八、圖九所示，若輸入訊號 V_{i1} 在時點 t_{a2} 後再度由位準 H 轉變為位準 L 而要重設延遲電路 40，位準 L 的輸入訊號 V_{i1} 就會透過反相器 I1 以位準 H 導通電晶體 Q_{n2} ，由導通之電晶體 Q_{n2} 直接經由節點 N_{a3} 將電晶體 C_a 快速地放電。當輸入訊號 V_{i1} 為位準 L 時，電晶體 Q_{p2} 及作為回授控制模組的電晶體 Q_{p1} 都不會導通，所以不會影響電晶體 Q_{n2} 對電容 C_a 的快速放電。這也使得本發明之延遲電路 40 能快速地重設。相較之下，圖三中習知之延遲電路 22 在重設時還是要經過電阻才能對電容充/放電，也就無法快速地重設。

請參考圖十。圖十為本發明延遲電路另一實施例 50 之電路示意圖。延遲電路 50 以電壓訊號 V_{i2} 為輸入訊號，電壓訊號 V_{o2} 為輸出訊號。在延遲電路 50 中，p 型金氧半電晶體 Q_{p5} 至 Q_{p7} 與 n 型金氧半電晶體 Q_{n6} 形成一電流產生器 52B；其中，電晶體 Q_{p5} 、 Q_{p6} 之閘極互相電連以組成一等效於電流鏡的結構。當電流產生器 52B 開始運作後，電晶體 Q_{p5} 、 Q_{p6} 可分別導通一參考電流 I_{r2} 以及一充電電流 I_{c2} 。而 n 型金氧半電晶體 Q_{n5} 、電阻 R_b 則形成一電壓產生器 52A；當電晶體 Q_{n5} 導通時，電壓產生器 52A 就能在節點

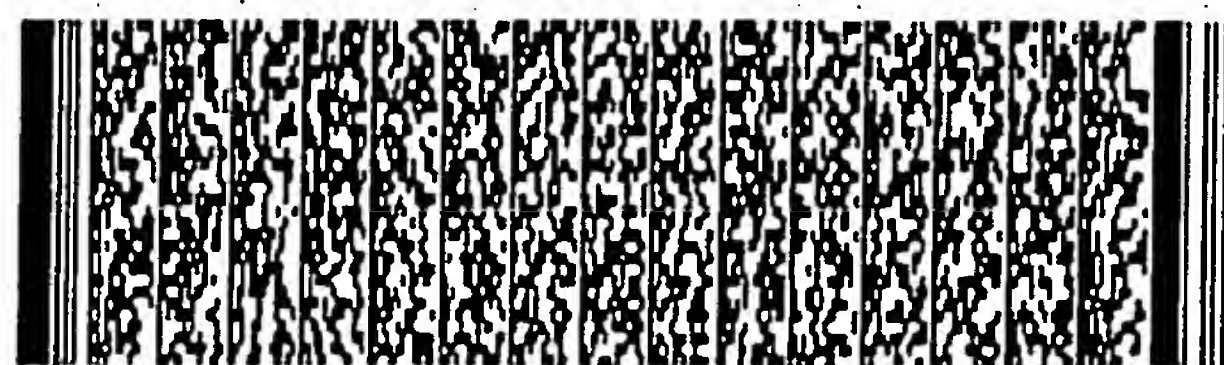
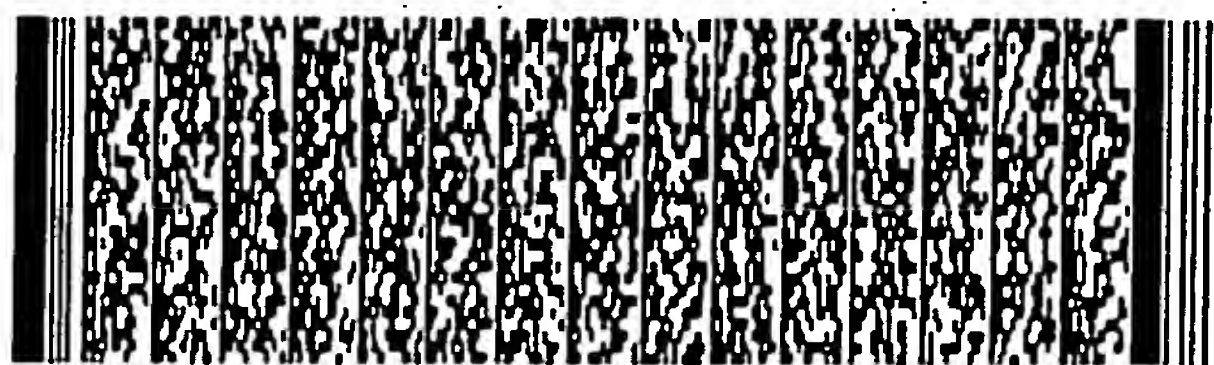


五、發明說明 (19)

Nb2接收由電流產生器 52B提供的參考電流 I_{r2} ，以便在節點 Nb2建立一電壓 V_{r2} 作為一參考電壓。n型金氧半電晶體 Q_{n7} 的汲極、源極電連在一起以連接為一電容，作為延遲電路 50的儲電單元，並可由節點 Nb3接收電流 I_{c2} 。同樣地，本發明之延遲電路 50也以一 p型金氧半電晶體 Q_{p8} 作為回授控制模組，其源極、汲極形成兩傳輸端控制電流 I_{c2} 的大小，而其閘極則電連於節點 Nb3，接收電壓 V_{c2} 作為控制訊號以動態地調整電流 I_{c2} 的大小。延遲電路 50中的放大器 A2則以其正負輸入端分別接收電壓 V_{c2} 、 V_{r2} ，並根據兩者間的電壓大小關係產生輸出的電壓訊號 V_{o2} 。

請繼續參考圖十一（並一併參考圖十）。圖十一即為圖十延遲電路 50運作時各相關訊號波形時序的示意圖；各波形之橫軸為時間，縱軸為電壓大小。如圖十一所示，在時點 t_{b0} 之前而當輸入訊號 V_{i2} 維持於位準 L時，導通的電晶體 Q_{p7} 配合上不導通的電晶體 Q_{n5} 會將節點 Nb2的電壓 V_{r2} 短路至接近位準 H，並使電流產生器 52B中的電晶體 Q_{p5} 、 Q_{p6} 不導通電流；而導通的電晶體 Q_{n6} 則將節點 Nb3的電壓 V_{c2} 拉低至位準 L。由於電壓 V_{c2} 、 V_{r2} 分別維持於位準 L、H，故放大器 A2輸出的訊號 V_{o2} 也會維持於位準 L。

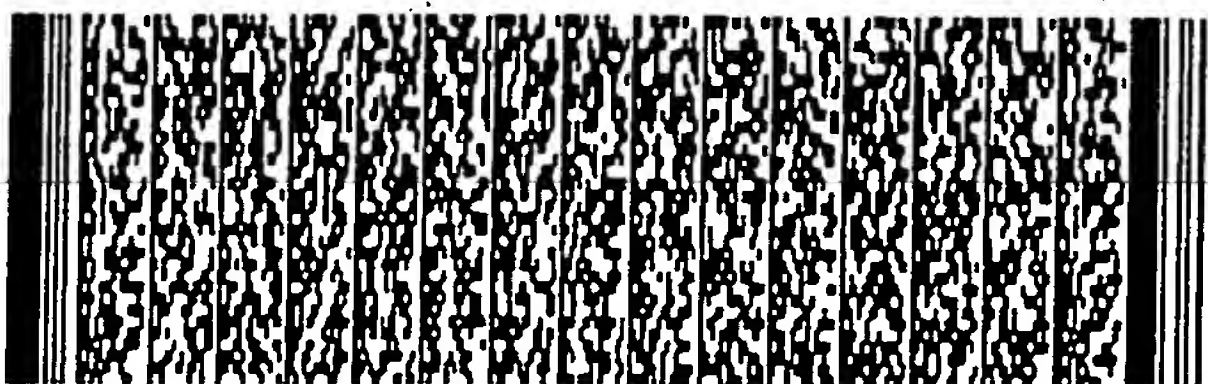
到了時點 t_{b0} ，輸入訊號 V_{i2} 升高至位準 H而觸發延遲電路 50開始發揮其延遲的功能，而位準 H的訊號 V_{i2} 就會



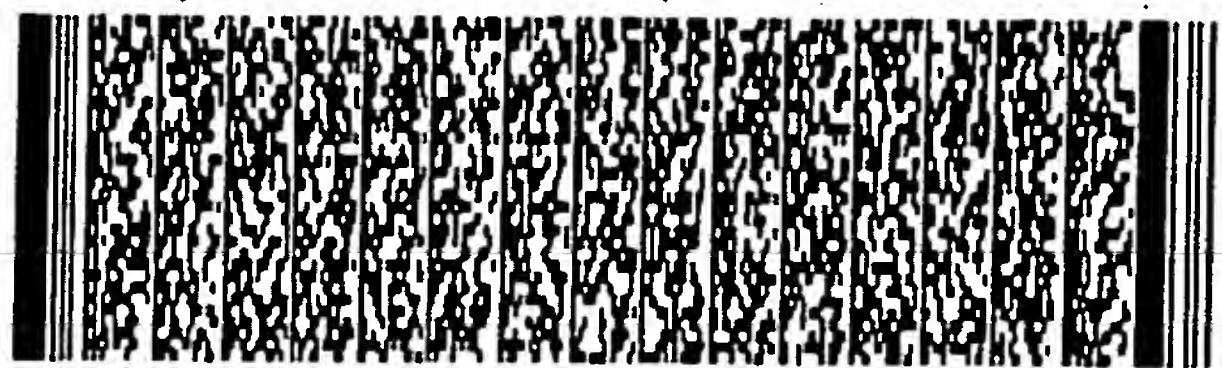
五、發明說明 (20)

使電晶體 Q_{n5} 導通、 Q_{p7} 關閉，連帶地電晶體 Q_{p5} 、 Q_{p6} 及 Q_{p8} 都開始導通而分別開始提供電流 I_{r2} 、 I_{c2} 。其中，做為參考電流的電流 I_{r2} 會注入電阻 R_b 而於節點 N_{b2} 建立起維持於穩態位準 V_2 的參考電壓 V_{r2} (位準 V_2 大致就等於 $I_{r2} \cdot R_b$)。而作為充電電流的電流 I_{c2} 也就經由節點 N_{b3} 開始向作為儲電單元的電晶體 Q_{n7} 充電，使節點 N_{b3} 的電壓 V_{c2} 由位準 L 開始累增。類似於圖八中本發明延遲電路 40 的運作原理，隨著節點 N_{b3} 的電壓逐漸增高，作為回授控制模組的電晶體 Q_{p8} 也會逐漸降低導通程度，使電流 I_{c2} 也隨之漸減。這樣，電壓 V_{r2} 累增的速度就會減少，使延遲的時間能有效延長。等到了時點 t_{b2} ，充電電壓 V_{c2} 累增至超越位準 V_2 的程度，放大器 A_2 也就會將訊號 V_{o2} 由位準 L 轉變為位準 H ，而在訊號 V_{i2} 、 V_{o2} 的位準轉變之間引入時段 T_{d2} 的延遲時間。

類似於圖八中的延遲電路 40，在延遲電路 50 中，因為電晶體 Q_{p8} 臨限電壓的限制，電壓 V_{c2} 最高也只會充電至位準 $(V_s - V_t)$ 的程度 (其中 V_t 為電晶體 Q_{p8} 的臨限電壓)，減少延遲電路 50 的功率消耗。而當輸入訊號 V_{i2} 由位準 H 降至位準 L 以重設延遲電路 50 時，也可由導通的電晶體 Q_{n6} 直接將電晶體 Q_{n7} 之儲電單元放電，快速地達成重設的目的。換句話說，延遲電路 50 與延遲電路 40 具有相同的優點，都能以小佈局面積來實現具有長延遲時間的延遲電路。另外，延遲電路 50 對直流電壓的偏移



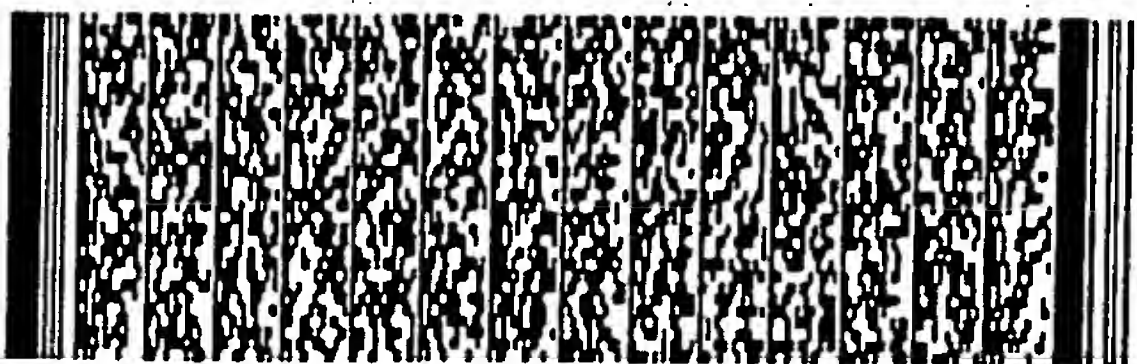
(fluctuation)也較具抵抗力；即使偏壓之直流電壓偏離電路設計的額定值，延遲電路 50 的延遲時間也不容易偏離電路設計時額定的延遲時間。由圖十一中可知，延遲電路 50 的延遲時間就是將電壓 V_{c2} 累增至位準 V_2 的時間；故延遲時間不僅受充電電流 I_{c2} 的大小影響，也會與參考電壓 V_{r2} 之穩態位準 V_2 有關。而在延遲電路 50 中，由於位準 V_2 是由參考電流 I_{r2} 所建立的，而參考電流 I_{r2} 、充電電流 I_{c2} 又是由類似電流鏡配置的電晶體 Q_{p5} 、 Q_{p6} 所產生，故參考電流 I_{r2} 、充電電流 I_{c2} 的大小大致上會維持固定的比率，連帶地使電壓 V_{c2} 充電的速度與其充電所需到達的位準這兩者之間有一定的正相關關係，可以互相補償。舉例來說，假如用來偏壓延遲電路 50 的直流電壓 V_s 低於電路設計的額定值，電流 I_{r2} 就會低於電路設計時的預設值，連帶地其所建立的位準 V_2 也會低於預設值，就如圖十一中以虛線標出的位準 V_{2s} 。不過，在此種情況下，因電流產生器 52B 中電流鏡的配置，充電電流 I_{c2} 也會低於電路設計的預設值，使得電壓 V_{r2} 累增的速度也會變慢，圖十一中以虛線示意的電壓 V_{c2s} ，就代表此種情況下電壓 V_{r2} 隨時間累增的情形。由圖十一可知，電壓 V_{c2s} 較慢的累增速度配合上較低的位準 V_{2s} ，恰好可互相補償，使得延遲電路 50 引入的延遲時間不至於大幅偏離電路設計的預設值。換句話說，即使延遲電路 50 偏壓於偏離額定值的直流電壓 V_s ，延遲電路 50 在訊號 V_{i2} 、 V_{o2} 之間引入的延遲時間也不至於大幅地偏離電路設計的預



設值。

在本發明的前兩個實施例中，都是以 p 型金氧半電晶體所形成之回授控制模組來配合 p 型金氧半電晶體之電流產生器以回授調整對儲電單元提供的電流大小，並在輸入訊號由位準 L 轉變為位準 H 時觸發延遲電路開始運作，在輸入、輸出訊號之間引入延遲時間。當然，本發明之精神也可以使用 n 型金氧半電晶體之回授控制模組配合 n 型金氧半電晶體之電流產生器來實施；並且，也可設計成當輸入訊號由位準 H 轉變為位準 L 時才觸發延遲電路開執行其延遲功能。關於此種實施例，請參考圖十二及圖十三。圖十二為本發明第三實施例之延遲電路 60 的電路示意圖；圖十三則為圖十二中延遲電路 60 運作時各相關訊號波形時序之示意圖，其中各波形之橫軸為時間，縱軸則為電壓大小。延遲電路 60 接收一電壓訊號 V_{i3} 作為輸入訊號，並以電壓訊號 V_{o3} 作為輸出訊號。

如圖十二所示，延遲電路 60 中是以 p 型金氧半電晶體 Q_{p8} 、電阻 R_{e1} 、 R_{e2} 建構為一分壓電路，作為一電壓產生器 62A，以在節點 N_{c2} 提供一參考電壓 V_{r3} 。n 型金氧半電晶體 Q_{n10} 與 p 型金氧半電晶體 Q_{p10} 則建構出一電流產生器 62B；當延遲電路 60 開始執行延遲功能時，電流產生器 62B 即能作為一放電的電流源，由節點 N_{c3} 向電容 C_c 產生一電流 I_{c3} 作為放電的電流。電容 C_c 可以是像圖十中以金

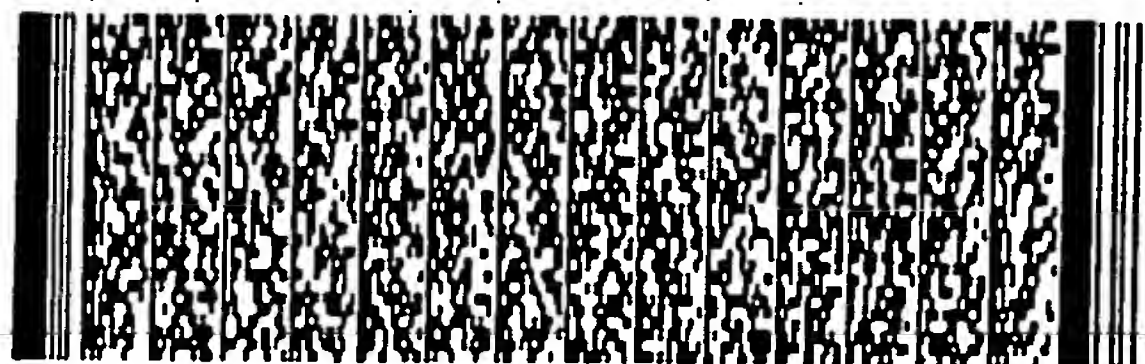


五、發明說明 (23)

氧半電晶體連接成的電容，作為延遲電路 60 的儲電單元以於節點 Nc3 建立一電壓 Vc3 作為放電電壓。n 型金氧半電晶體 Qn9 則作為回授控制模組，其閘極接收電壓 Vc3 為回授之控制訊號以控制電流 Ic3 的大小。放大器 A3 用來比較電壓 Vc3、Vr3 兩者間的電壓大小，並據此產生出輸出之電壓訊號 Vo3。

如圖十三所示，本發明於圖十二之延遲電路 60 是在輸入訊號 Vi3 由位準 H 轉變為位準 L 時才觸發其延遲功能。在時點 tc0 之前，當訊號 Vi3 還維持於位準 H 時，電晶體 Qp8 導通，電阻 Re2 之跨壓為零，使電壓 Vr3 維持於位準 L，也就是地端直流電壓 Vg 的位準。同時，位準 H 的訊號 Vi3 也會透過反相器 I3 導通電晶體 Qp10；在電晶體 Qn10 不導通的情形下，節點 Nc3 的電壓就會被短路至直流電壓 Vs 的位準 H。由於放大器 A3 正負兩輸入端的電壓 Vc3、Vr3 分別為位準 H、L，輸出訊號 Vo3 也就維持於位準 H，如圖十三所示。

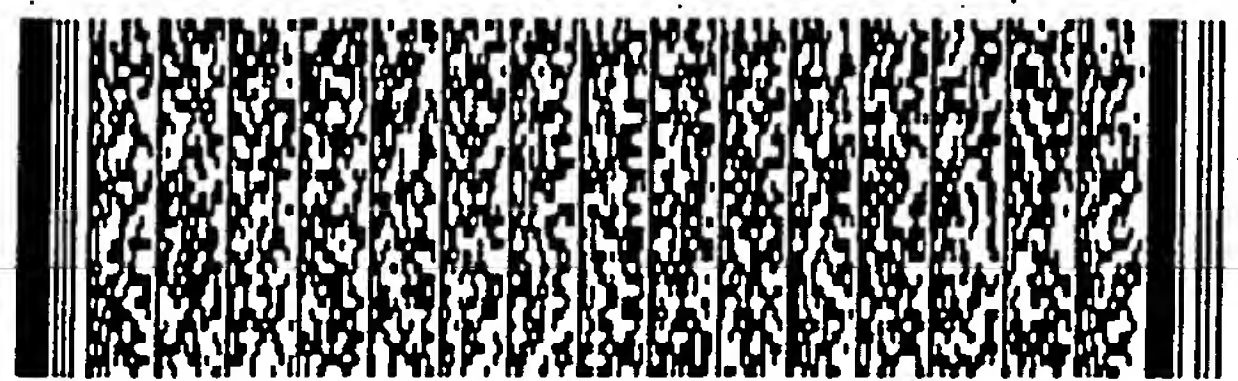
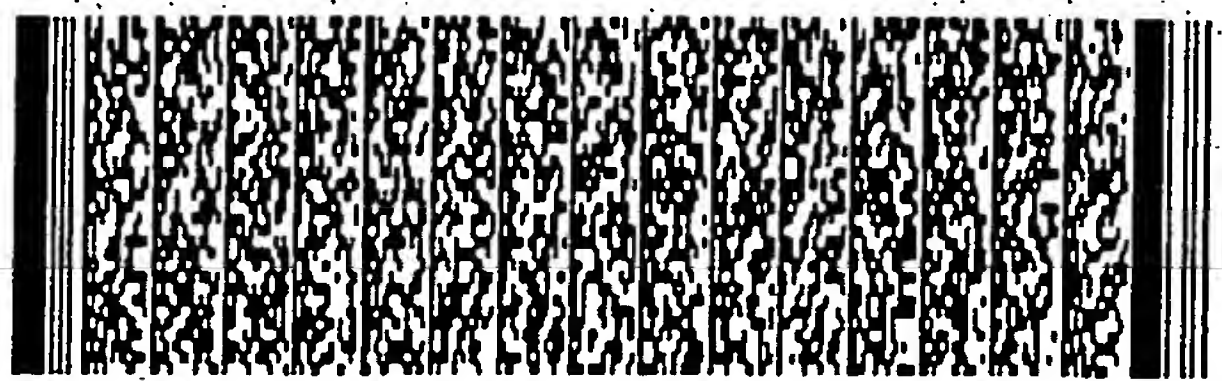
到了時點 tc0，輸入訊號 Vi3 開始由位準 H 轉變為位準 L 而觸發延遲電路 60 開始執行其延遲功能。當輸入訊號 Vi3 轉變為位準 L，就會使電晶體 Qp8 導通，讓電阻 Re1、Re2 將電壓 Vs 分壓，使電壓 Vr3 變成位準 V3 (如圖十三所標示；位準 V3 大致上即為 $Vs * Re2 / (Re1 + Re2)$)。同時，位準 L 的訊號 Vi3 也會透過反相器 I3 使電晶體 Qp10 停止導



五、發明說明 (24)

通，改由導通的電晶體 $Qn10$ 、 $Qn9$ 由電容 Cc 吸收電流 $Ic3$ 以將電容 Cc 放電。就如圖十三所示，在時點 $tc0$ 之後，電壓 $Vc3$ 就會隨電流 $Ic3$ 的放電而逐漸降低。另一方面，作為回授控制模組的電晶體 $Qn9$ 也會因其閘極電壓 $Vc3$ 逐漸降低而減少其導通程度，連帶地使電流 $Ic3$ 也逐漸變小，這也使得電容 Cc 放電的速度趨緩而延長電壓 $Vc3$ 下降的時間。到了時點 $tc2$ ，電壓 $Vc3$ 終於開始下降至低於電壓 $Vr3$ 的程度，而放大器 $A3$ 也就因為電壓 $Vc3$ 、 $Vr3$ 大小關係的轉變而在此時將輸出訊號 $Vo3$ 由位準 H 轉變為位準 L 。總結來說，輸入訊號 $Vi3$ 在時點 $tc0$ 的位準轉變會由延遲電路 60 反映為輸出訊號 $Vo3$ 在時點 $tc2$ 的位準轉變，而時點 $tc0$ 、 $tc2$ 之間的時段 $Td3$ 也就是延遲電路 60 所引入的延遲時間。

由上述描述可知，本發明之延遲電路 60 是以電晶體 $Qn9$ 隨電壓 $Vc3$ 漸減的導通程度來動態地減少電流 $Ic3$ 的大小，使電壓 $Vc3$ 要花更久的時間才會降低至電壓 $Vr3$ 的位準 $V3$ ，並藉此實現出具有更長延遲時間的延遲電路。若未設置此電晶體 $Qn9$ ，電晶體 $Qn10$ 就會成為一定電流源，以穩定大小的電流 $Ic3$ 對電容 Cc 放電，這也會使電壓 $Vc3$ 隨時間呈線性快速地下降；圖十三中以虛線繪示的電壓 $Vc3s$ ，就代表電壓 $Vc3$ 在未設置電晶體 $Qn9$ 之情況下隨時間快速減少的情形。在此種情況下，電壓 $Vc3$ 會在時點 $tc1$ 就下降至電壓 $Vr3$ 的位準，而放大器 $A3$ 就會提前於時

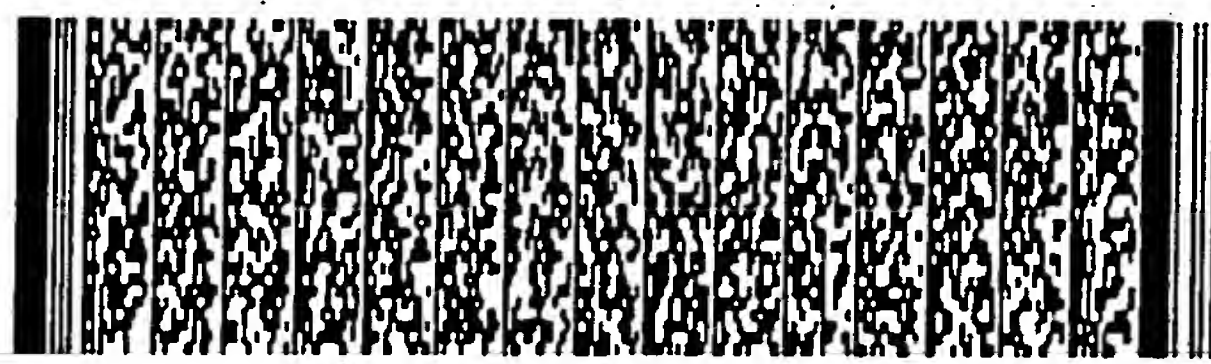
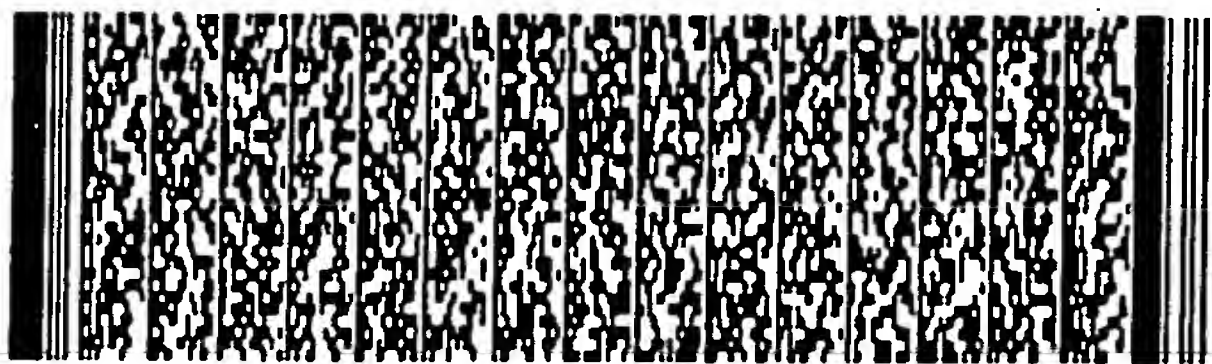


五、發明說明 (25)

點 t_{c1} 讓訊號 V_{o3} 由位準 H 轉為位準 L。由此可知，本發明藉由電晶體 Q_{n9} 對電流 I_{c3} 的回授控制，的確能有效延長延遲電路 60 的延遲時間。另外，本發明的回授控制模組之配置，也會限制電壓 V_{c3} 下降的底限，使電容 C_c 只會放電至 $(V_g + V_t)$ 的程度，其中 V_t 即電晶體 Q_{n9} 的臨限電壓。這樣一來，就能減少本發明延遲電路 60 的功率消耗。相較之下，若未設置電晶體 Q_{n9} 而讓電晶體 Q_{n10} 之源極直接偏壓於直流電壓 V_g ，電壓 V_{c3} 就會一路降至直流電壓 V_g 之位準 L 才會停止繼續下降，如圖十三中虛線電壓 V_{c3s} 的情形。這樣一來，就要耗費多餘的功率來進行放電。

在延遲電路 60 中，當輸入訊號 V_{i3} 由位準 L 再度轉變為位準 H 而要重設延遲電路 60 時，位準 H 就會使電晶體 Q_{p10} 導通而直接、快速地將電容 C_c 於節點 N_{c3} 的電壓 V_{c3} 再度充電至位準 H，快速地完成重設；在此期間電晶體 Q_{n9} 、 Q_{n10} 都會因為不導通而不影響對電容 C_c 的充電速度。換句話說，本發明之延遲電路 60 不僅能實現較長的延遲時間、較低的功率消耗，也能快速地完成重設，方便控制時序的進行。

請繼續參考圖十四、十五。類似於本發明於圖十中的實施例，本發明也可以使用 n 型金氧半電晶體之電流鏡來實現；圖十四即為本發明另一實施例之延遲電路 70 之電



五、發明說明 (26)

路示意圖，圖十五則為圖十四中延遲電路 70 運作時各相關訊號波形時序之示意圖；各波形之橫軸為時間，縱軸為電壓大小。延遲電路 70 以一電壓訊號 V_{i4} 作為輸入訊號，在訊號 V_{i4} 由位準 H 轉變為位準 L 時觸發延遲電路 70 執行其延遲功能，並以一電壓訊號 V_{o4} 作為輸出訊號。

如圖十四所示，延遲電路 70 中是以 p 型金氧半電晶體 Q_{p13} 、電阻 R_d 構築為一電壓產生器 72A，以在節點 Nd2 提供一電壓 V_{r4} 作為一參考電壓。n 型金氧半電晶體 Q_{n13} 、 Q_{n14} 則以一類似於電流鏡的配置，與 n 型金氧半電晶體 Q_{n12} 共同構築出一電流產生器 72B；當此電流產生器 72B 開始運作時，就可由電晶體 Q_{n13} 、 Q_{n14} 分別導通一電流 I_{r4} 、 I_{c4} 以分別作為一參考電流及一放電電流。n 型金氧半電晶體 Q_{n15} （也可使用 p 型金氧半電晶體）的源極、汲極互相電連為一，連同其閘極共同形成一電容的兩端，以作為延遲電路 70 的儲電單元，並在節點 Nd3 提供一電壓 V_{c4} 作為一放電電壓。n 型金氧半電晶體 Q_{n11} 作為一回授控制模組，以將回授至其閘極的電壓 V_{c4} 作為一控制訊號，據此控制電流 I_{c4} 的大小。放大器 A4 的正負輸出端則分別接收電壓 V_{r4} 、 V_{c4} ，以根據兩者間的大小關係決定輸出訊號 V_{o4} 的位準。

2:15

如圖十五所示，當輸入訊號 V_{i4} 在時點 t_{d0} 之前還維持於位準 H 時，電晶體 Q_{n12} 會導通而使電晶體 Q_{n13} 、 Q_{n14} 不

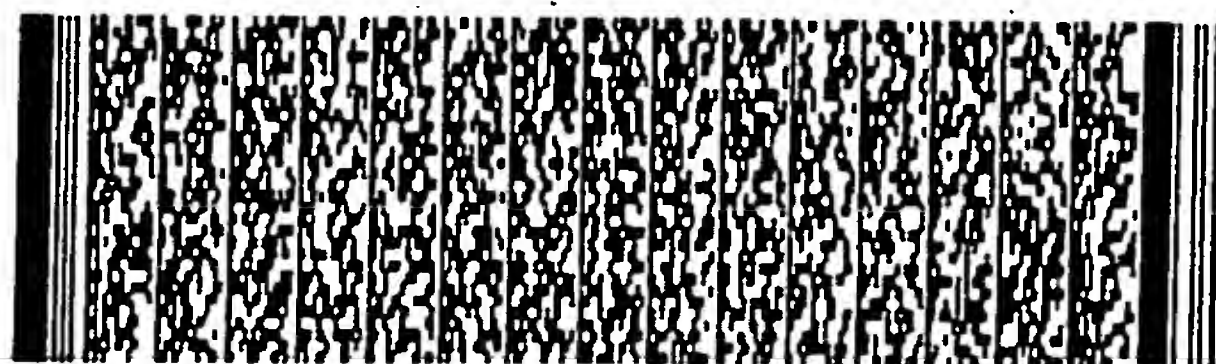
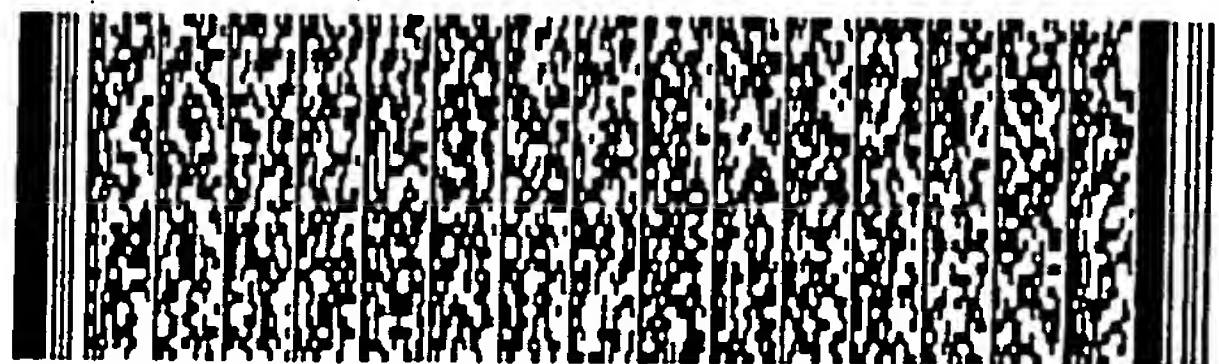


五、發明說明 (27)

導通電流，並使節點 Nd2 的電壓 V_{r4} 為位準 L。同時，透過反相器 I4，位準 H 的訊號 V_{i4} 也使電晶體 Qp14 導通，使節點 Nd3 的電壓 V_{c4} 為位準 H。由於位準 H 的電壓 V_{c4} 大於位準 L 的電壓 V_{r4} ，放大器 A4 也使輸出訊號 V_{o4} 維持於位準 H。

到了時點 $td0$ ，輸入訊號 V_{i4} 由位準 H 轉變為位準 L 而觸發延遲電路 40 開始延遲運作，位準 L 的訊號 V_{i4} 就會使電晶體 Qn12 不導通，配合上導通的電晶體 Qp13，電晶體 Qn13、Qn14 就會分別開始導通電流 I_{r4} 、 I_{c4} 。導通的電流 I_{r4} 會在電阻 R_d 上以非零的跨壓建立起位準 V_4 的電壓 V_{r4} (位準 V_4 大致上即相當於 $V_s - I_{r4} * R_d$)。同時，配合不導通的電晶體 Qp14，導通的電流 I_{c4} 就會對電晶體 Qn15 形成的儲電單元放電，讓節點 Nd3 的電壓 V_{c4} 開始由位準 H 放電遞減。在電壓 V_{c4} 遞減的過程中，閘極受電壓 V_{c4} 控制的電晶體 Qn11 也會遞減其導通程度，連帶使電流 I_{c4} 也漸減，延緩電壓 V_{c4} 的隨時間降低的程度。到了時點 $td2$ ，電壓 V_{c4} 下降至電壓 V_{r4} 的位準 V_4 並開始小於電壓 V_{r4} ，也就觸發放大器 A4 開始將訊號 V_{o4} 由位準 H 轉變為 L，在訊號 V_{i4} 、 V_{o4} 之間引入時段 T_{d4} 的延遲時間。

類似於本發明於圖十的實施例，圖十似的實施例 70 除了有延遲時間較長、耗費功率較低、能快速重設等優點之外，也因為在電流產生器 72B 中採用了類似電流鏡的配置，而能夠在直流電壓 V_s 未符合電路設計之額定值時，



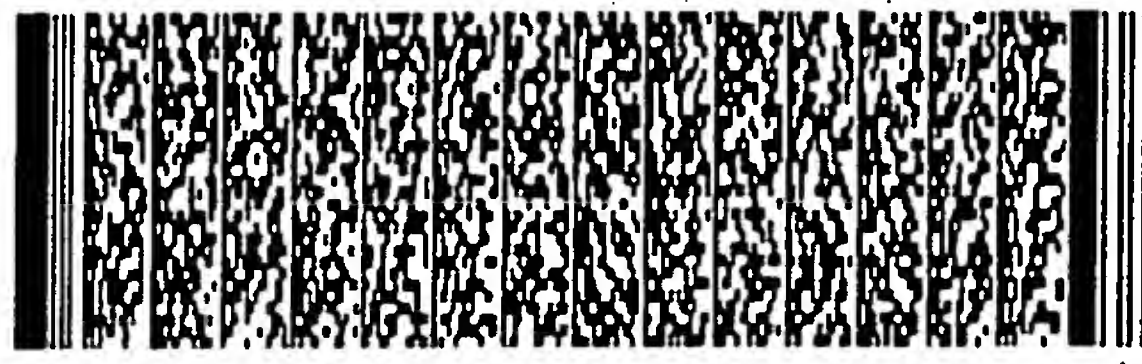
五、發明說明 (28)

還是使延遲時間不至於大幅偏離電路設計之預設延遲時間。

總結來說，本發明是以回授控制模組來依據儲電單元之電壓大小動態地減少對儲電單元充放電的電流，延長儲電單元之電壓充/放電至參考電壓所需的時間，實現出較長的延遲時間。由於本發明是以主動元件來實現回授控制模組，這也使本發明不需要大的佈局面積就能實現出具有較長延遲時間的延遲電路。

在電路設計時，若要調整本發明延遲電路所能引入的延遲時間，有數種不同的方法。舉例來說，若電路設計者要以本發明之精神實現出具有較長延遲時間的延遲電路，可增加儲電單元的等效電容、調整電壓產生器產生的參考電壓以使參考電壓與充電電壓初始值的差距更大、減少電流產生器所能產生的電流，或者是減少回授控制模組傳輸電流的導通程度。在本發明上述的各個實施例中，由於回授控制模組是以主動元件之金氧半電晶體來實現，故只要減少此金氧半電晶體的長寬比 (aspect ratio, 即 W/L , 金氧半電晶體通道寬度與長度之比)，就能減少回授控制模組的導通程度，進而增加延遲時間。

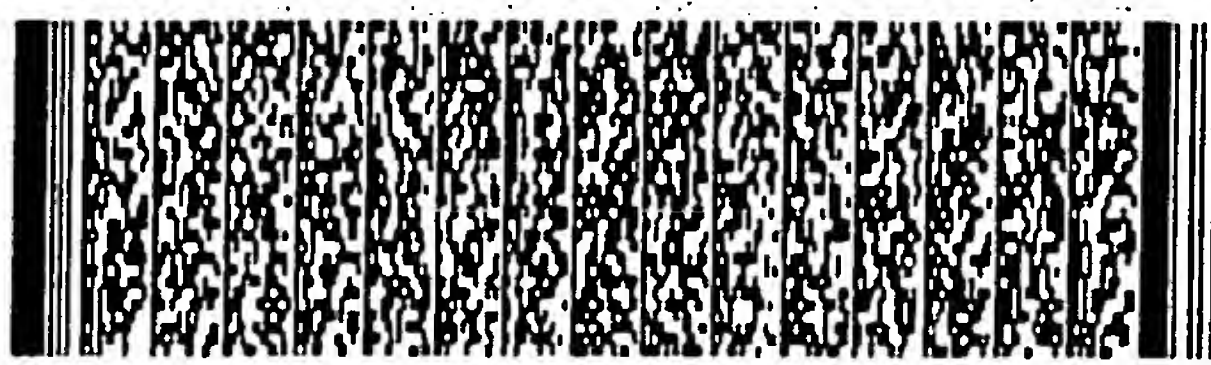
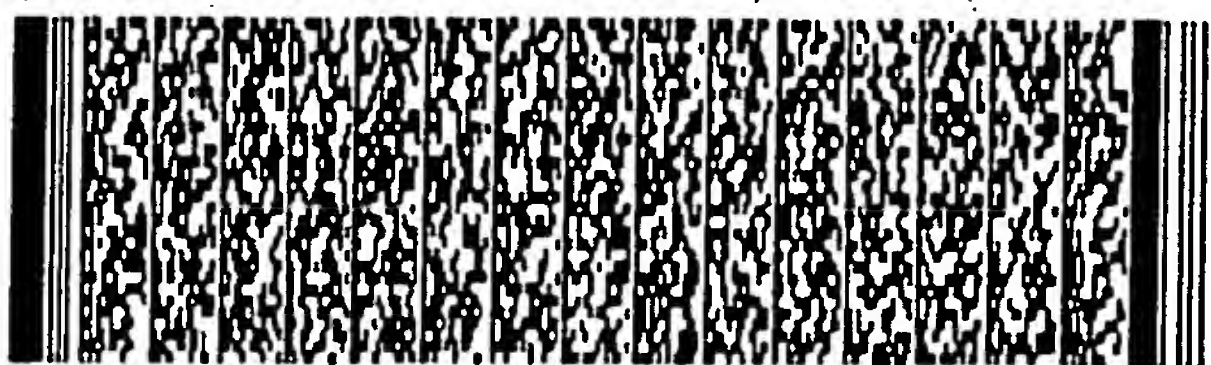
本發明之延遲電路可廣泛使用於需要長延遲時間卻又有佈局面積限制的各種電子電路中。請參考圖十六。圖



五、發明說明 (29)

十六即為本發明延遲電路應用於一快閃記憶體80中的配置示意圖。快閃記憶體80中設有一控制電路82、一延遲電路86、一限壓器87、一升壓電路(charge pump)88、一傳輸電路89及一記憶陣列84；記憶陣列84中設有複數個記憶單元85，各記憶單元85中設有一具有浮動閘極的金氧半電晶體 Q_m ，用來記憶一位元的資料。控制電路82用來主控快閃記憶體80的種種運作程序，像是資料規劃/抹除及讀取等等。就如圖一、圖二中曾說明過的，在非揮發性的快閃記憶體中，需要產生特殊的高電壓在各電晶體 Q_m 中引發電荷隧穿的效應，以進行資料規劃/抹除；而升壓電路88即用來產生用於資料規劃/抹除的高電壓 V_m ，作為一輔助電壓。傳輸電路89用來將電壓 V_m 傳輸至記憶陣列84中；而快閃記憶體80中的限壓器87、延遲電路86即用來實現時序控制的機制，來確保快閃記憶體80能有充分、足夠的時間來進行資料規劃/抹除；而本發明於圖七至圖十五中所討論、揭露的各種延遲電路，即可用來實現快閃記憶體82中的延遲電路86，讓延遲電路86能作為輸入、輸出訊號的訊號 Sci 、 Sco 之間引入適當的延遲時間，以協助上述控制機制的進行。此延遲時間之長短應能涵蓋快閃記憶體80進行資料規劃/抹除所需的時間。

當快閃記憶體80要進行資料規劃/抹除時，控制電路82可於訊號 Scp 中以位準轉變觸發升壓電路88開始累增電



五、發明說明 (30)

壓 V_m ；同時觸發限壓器 87 開始運作。等到限壓器 87 量測到電壓 V_m 已經上升至足夠高的位準，就會以訊號 Sci 中的位準轉變，觸發延遲電路 86 開始進行其延遲功能，並使快閃記憶體 80 開始進行資料規劃/抹除。等到延遲電路 86 在預設之延遲時間後使其輸出訊號 Sco 發生位準轉變，控制電路 82 就可由輸出訊號 Sco 之位準轉變確保快閃記憶體 80 已經有充分的時間來進行資料規劃/抹除。由於本發明之延遲電路能以小佈局面積提供長延遲時間，不僅能使快閃記憶體 80 的整體佈局面積縮小，也能確保資料規劃/抹除的程序能順利、正確地進行。

總結來說，本發明之延遲電路在進行其延遲功能時，是在輸入訊號位準轉變之觸發下開始以一電流產生電路產生的電流對一儲電單元進行充放電，並以一放大器將儲電單元提供的充電電壓與一電壓產生器提供之參考電壓相比較，以在充電電壓、參考電壓兩者的大小關係改變時，反映為輸出訊號中的位準改變，而在輸入訊號、輸出訊號的位準轉變之間引入延遲時間。在充電電壓逐漸接近參考電壓之位準時，本發明中之回授控制模組會動態地減少電流傳輸電路對儲電單元提供的充放電電流，以減緩充電電壓趨近於參考電壓的速度，實現出較長的延遲時間。相較於習知的電阻-電容延遲電路，或是習知之定電流源延遲電路，本發明之延遲電路消耗的功率較小，還能以較小的佈局面積實現出較長的延遲時

五、發明說明 (31)

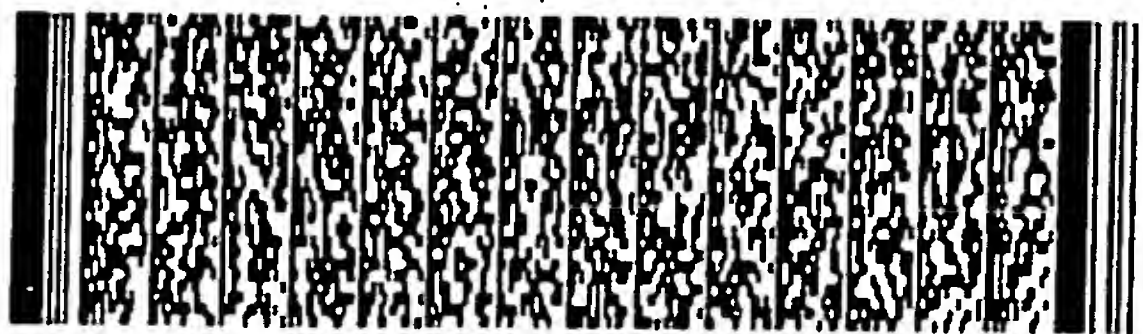
間。運用在快閃記憶體中時，本發明之延遲電路即可有效縮減快閃記憶體的整體面積，並有效地確保快閃記憶體有足夠的時間來進行資料規劃/抹除，維持快閃記憶體整體運作的正常。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式之簡單說明

圖一為一典型快閃記憶體功能方塊的示意圖。
圖二為圖一中快閃記憶體進行高電壓充電控制時各相關訊號波形時序之示意圖。
圖三為一習知延遲電路之電路示意圖。
圖四為圖三中延遲電路運作時各相關訊號波形時序之示意圖。
圖五為另一習知延遲電路之電路示意圖。
圖六為圖五中延遲電路運作時各相關訊號波形時序之示意圖。
圖七為本發明延遲電路之功能方塊示意圖。
圖八為本發明延遲電路第一實施例電路之示意圖。
圖九為圖八中延遲電路運作時相關訊號波形時序之示意圖。
圖十為本發明延遲電路第二實施例電路之示意圖。
圖十一為圖十中延遲電路運作時相關訊號波形時序之示意圖。
圖十二為本發明延遲電路第三實施例電路之示意圖。
圖十三為圖十二中延遲電路運作時相關訊號波形時序之示意圖。
圖十四為本發明延遲電路第四實施例電路之示意圖。
圖十五為圖十四中延遲電路運作時相關訊號波形時序之示意圖。

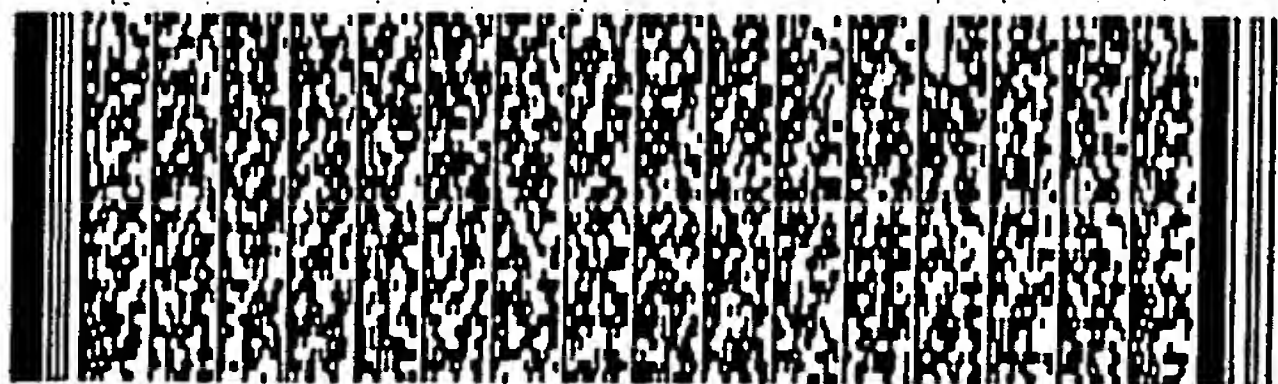


圖式簡單說明

圖十六為本發明延遲電路運用於一快閃記憶體之功能方塊示意圖。

圖式之符號說明

- 10、80 快閃記憶體
12、82 控制電路
14、84 記憶陣列
15、85 記憶單元
16、22、24、30、40、50、60、70、86 延遲電路
7、87 限壓器
18、88 升壓電路
20、89 傳輸電路
26、32B、42B、52B、62B、72B 電流產生器
28、32A、42A、52A、62A、72A 電壓產生器
34A 回授控制模組
34B 回授電路
36 儲電單元
37C 控制端
Va、Vc、Vpr、Vpc、Vr、Vc0-Vc5、Vr1-Vr4、Vc1s-
Vc3s、Vm 電壓
Q、Qm、Mn0-Mn2、Mp0-Mp3、Qn1-Qn15、Qp1-Qp15 電晶
體
Si、So、Vi、Vo、Vpi、Vpo、Si0、So0、Vi1-Vi5、Vo1-



圖式簡單說明

V_{o4} 、 S_{ci} 、 S_{co} 、 S_{cp} 訊號

t_0-t_2 、 tp_0-tp_6 、 ta_0-ta_2 、 tb_0-tb_2 、 tc_0-tc_2 、 td_0-t_2 、 t_s 時點

H 、 L 、 V_A 、 V_R 、 V_{2s} 、 V_1-V_4 位準

TD 、 TdA 、 Td_0-Td_4 延遲時間

I_p 、 I_n 、 I_{r0} 、 I_{c0-Ic5} 、 I_c 、 I_{r2} 、 I_{r4} 電流

I_0 、 IP_0 、 I_1-I_4 反相器

C 、 C_0 、 C_a 、 C_c 電容

R 、 R_0 、 R_{a1-Ra2} 、 R_b 、 R_{c1-Rc2} 、 R_d 電阻

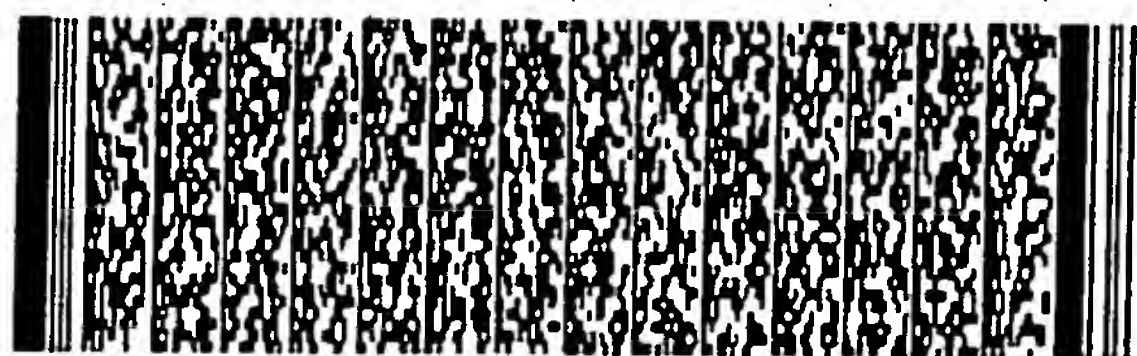
N_1-N_3 、 N_{p1-Np3} 、 N_{a1-Na3} 、 N_{b1-Nb3} 、 N_{c1-Nc3} 、 N_{d1-d3} 節點

V_s 、 V_g 直流電壓

A_p 、 A_m 、 A_1-A_4 放大器

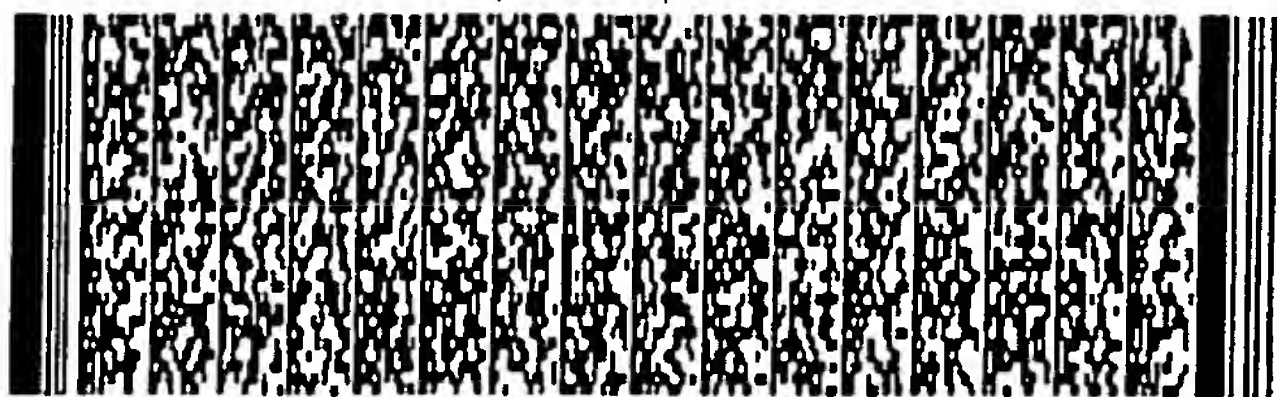
S_c 控制訊號

V_t 臨限電壓



六、申請專利範圍

2. 如申請專利範圍第1項之延遲電路，其中當該充電電壓之大小越接近於該參考電壓之大小時，該回授電路提供之控制訊號會使該回授控制模組傳輸至該儲電單元的充電電流越少。
3. 如申請專利範圍第1項之延遲電路，其中該回授控制模組的另一個傳輸端電連於一電壓值固定的直流電壓；當傳輸至該儲電單元的充電電流趨近於零時，該回授控制模組於該傳輸端與該控制端間的跨壓會實質維持於一設值而不會趨近零。
4. 如申請專利範圍第1項之延遲電路，其中該回授控制模組包含有一金氧半電晶體；該電晶體之閘極電連於該控制端，該電晶體之源極與汲極分別電連於該兩個傳輸端。
5. 如申請專利範圍第1項之延遲電路，其中該電流產生器包含有一電流鏡，用來產生該充電電流及一參考電流，並使該充電電流及該參考電流的電流大小具有一預設之比例關係；而該電壓產生器係根據該參考電流的大小產生該參考電壓。
6. 如申請專利範圍第1項之延遲電路，其中該儲電單元



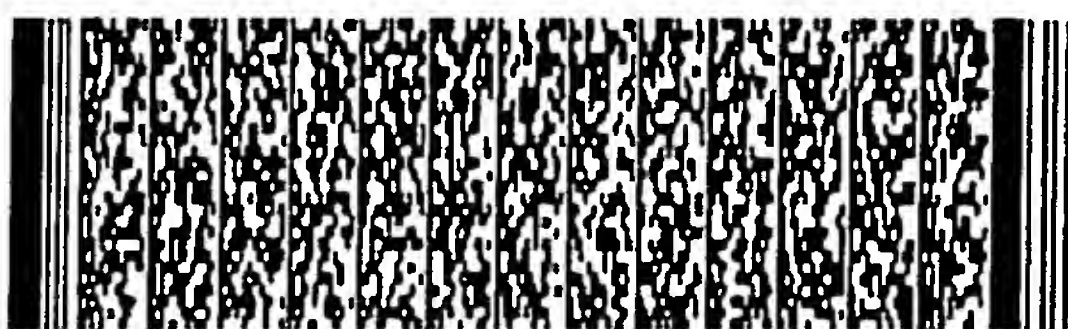
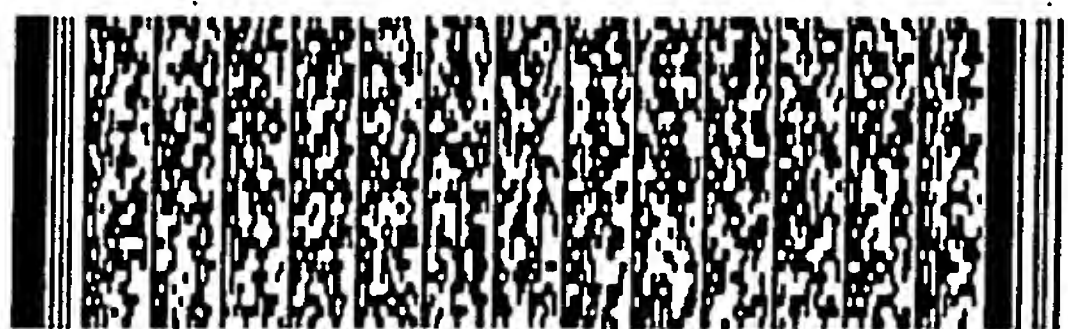
六、申請專利範圍

為一電容；而該電容係由一金氧半電晶體以源極、汲極相連的方式形成。

7. 如申請專利範圍第1項之延遲電路，其中當該輸入訊號由該第二輸入位準恢復為該第一輸入位準時，該延遲電路亦會使該輸出訊號由該第二輸出位準恢復為該第一輸出位準。

8. 如申請專利範圍第7項之延遲電路，其中當該輸入訊號由該第二輸入位準恢復為該第一輸入位準時，該回授一制電路會停止於該兩傳輸端間傳輸電流。

9. 一種快閃記憶體，其包含有至少一記憶單元，各記憶單元用來儲存一位元的資料；一升壓電路，用來產生一輔助電壓，並使該輔助電壓在預設的延遲時間內維持於一預設位準；一延遲電路，用來根據該輸入訊號提供一輸出訊號，使二得當該輸入訊號之位準由該第一輸入位準轉變為該第二輸入位準時，該輸出訊號之位準會由該第一輸出位準轉變為該第二輸出位準；該延遲電路包含有：一電壓產生器，用來在該輸入訊號由該第一輸入位準改為該第二輸入位準時，提供一參考電壓；一電流產生器；該電流產生器可在該輸入訊號由該第一



六、申請專利範圍

11. 如申請專利範圍第9項之快閃記憶體，其中該回授控制模組的另一個傳輸端電連於一電壓值固定的直流電壓；當傳輸至該儲電單元的充電電流趨近於零時，該回授控制模組於該兩傳輸端間的跨壓會實質維持於一預設值而不會趨近零。

12. 如申請專利範圍第9項之快閃記憶體，其中該回授控制模組包含有一金氧半電晶體；該電晶體之閘極電連於該控制端，該電晶體之源極與汲極分別電連於該兩個傳輸端。

13. 如申請專利範圍第9項之快閃記憶體，其中該電流產生器包含有一電流鏡，用來產生該充電電流及一參考電流，並使該充電電流及該參考電流的電流大小具有一預設之比例關係；而該電壓產生器係根據該參考電流的大小產生該參考電壓。

14. 如申請專利範圍第9項之快閃記憶體，其中該儲電單元為一電容。

15. 如申請專利範圍第9項之快閃記憶體，其中當該輸入訊號由該第二輸入位準恢復為該第一輸入位準時，該延遲電路亦會使該輸出訊號由該第二輸出位準恢復為該第



一 輸出位準。

出變之準；改一電制入該制由模模
輸轉設位準第電控輸在控號制授模
一準預出位該充該一可在訊控回授
供位一輸入由一；第組並入授該
提入在二一；訊提輸由制流該該接
號輸會第第壓入始傳號控電當，來
訊一準一該電輸開兩訊授電而準用
入第位為由考該，及入回充；位；
輸一之變號參在時端輸該的小入流器
一由號轉訊一可準制該，器大輸電生
據準訊準入供器位控當時生的一輸產
根位出位輸提生入一而準產流第傳流
來之輸出該，產輸有，位流電該間電
用號該輸在時流二具號入電電為端該
，訊，一：來準電第其訊輸該充復輸於
路入時第有用位該該，制二輸該恢傳連
電輸準一含，入；為組控第傳變準兩電
遲該位由包器輸器變模一該間改位該，
延當入後路生二生轉制收為之時入於元
種得輸之電產第產準控接變端變輸止單
一使二間遲壓該流位授來改輸改二停電
，第時延電為電入；回用準傳號第會儲
17. 號一遲一變一輸流一端位兩，該組一



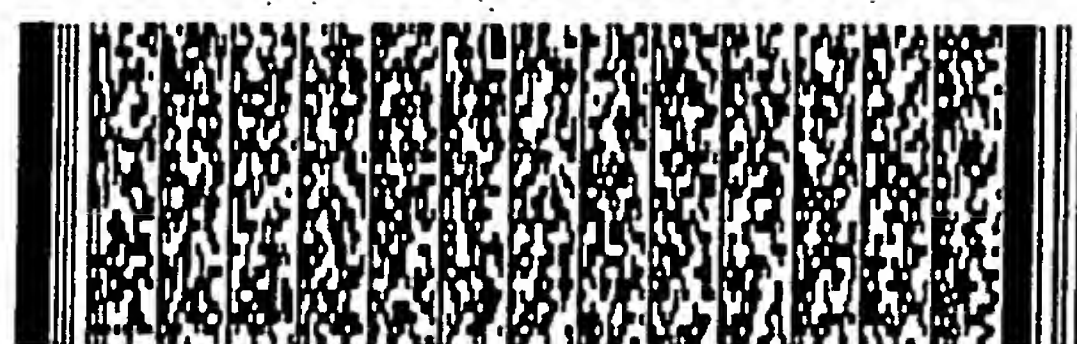
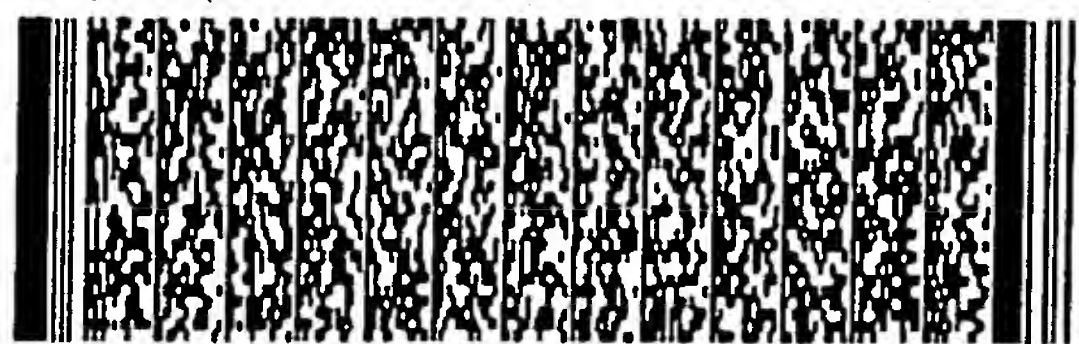
六、申請專利範圍

組傳來的充電電流並產生一對應的充電電壓；一回授電路，電連於該儲電單元及該回授控制模組的控制端之間，用來根據該充電電壓提供該回授控制訊號；以及該放大單元，其具有兩輸入端；該兩輸入端分別電連於該儲電電壓及該回授電壓；而該放大器可在該輸出訊號之位置改變第二輸出位準。

18. 如申請專利範圍第17項之延遲電路，其中該回授電壓之大小，在該充電電路提供之電壓之控制電流越接近於該回授電壓之大小，則該回授電壓之大小越接近於該回授電壓之大小。

19. 如申請專利範圍第17項之延遲電路，其中該回授電壓之大小，在該充電電路提供之電壓之控制電流越接近於該回授電壓之大小，則該回授電壓之大小越接近於該回授電壓之大小。

20. 如申請專利範圍第17項之延遲電路，其中該回授電壓之大小，在該充電電路提供之電壓之控制電流越接近於該回授電壓之大小，則該回授電壓之大小越接近於該回授電壓之大小。



六、申請專利範圍

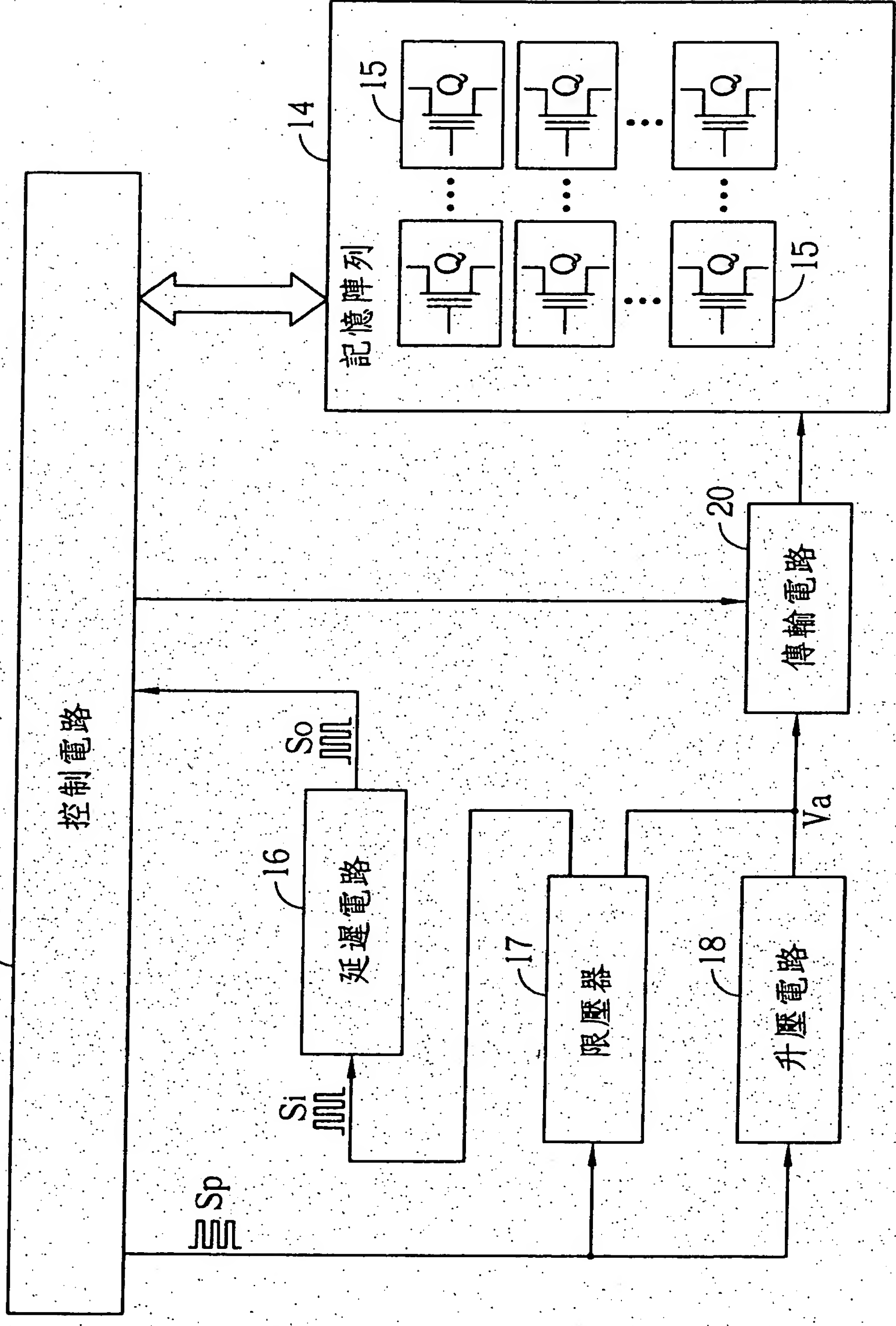
21. 如申請專利範圍第17項之延遲電路，其中該電流產生器包含有一電流鏡，用來產生該充電電流及一參考電流，並使該充電電流及該參考電流的電流大小具有一預設之比例關係；而該電壓產生器係根據該參考電流的大小產生該參考電壓。

22. 如申請專利範圍第17項之延遲電路，其中該儲電單元為一電容。

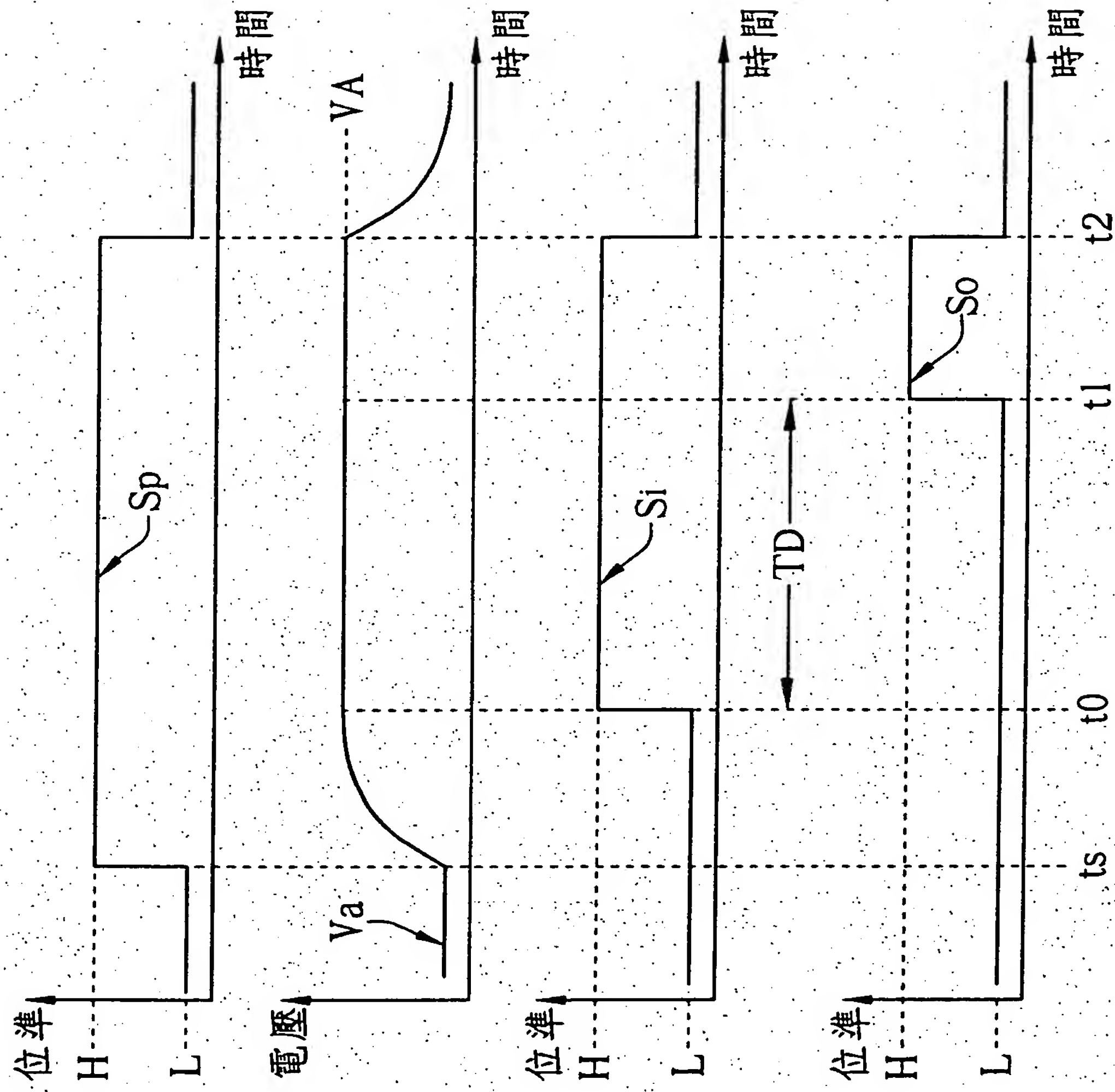
3. 如申請專利範圍第22項之延遲電路，其中該電容係由一金氧半電晶體之汲極、源極互相連接而成。

24. 如申請專利範圍第17項之延遲電路，其中當該輸入訊號由該第二輸入位準恢復為該第一輸入位準時，該延遲電路亦會使該輸出訊號由該第二輸出位準恢復為該第一輸出位準。

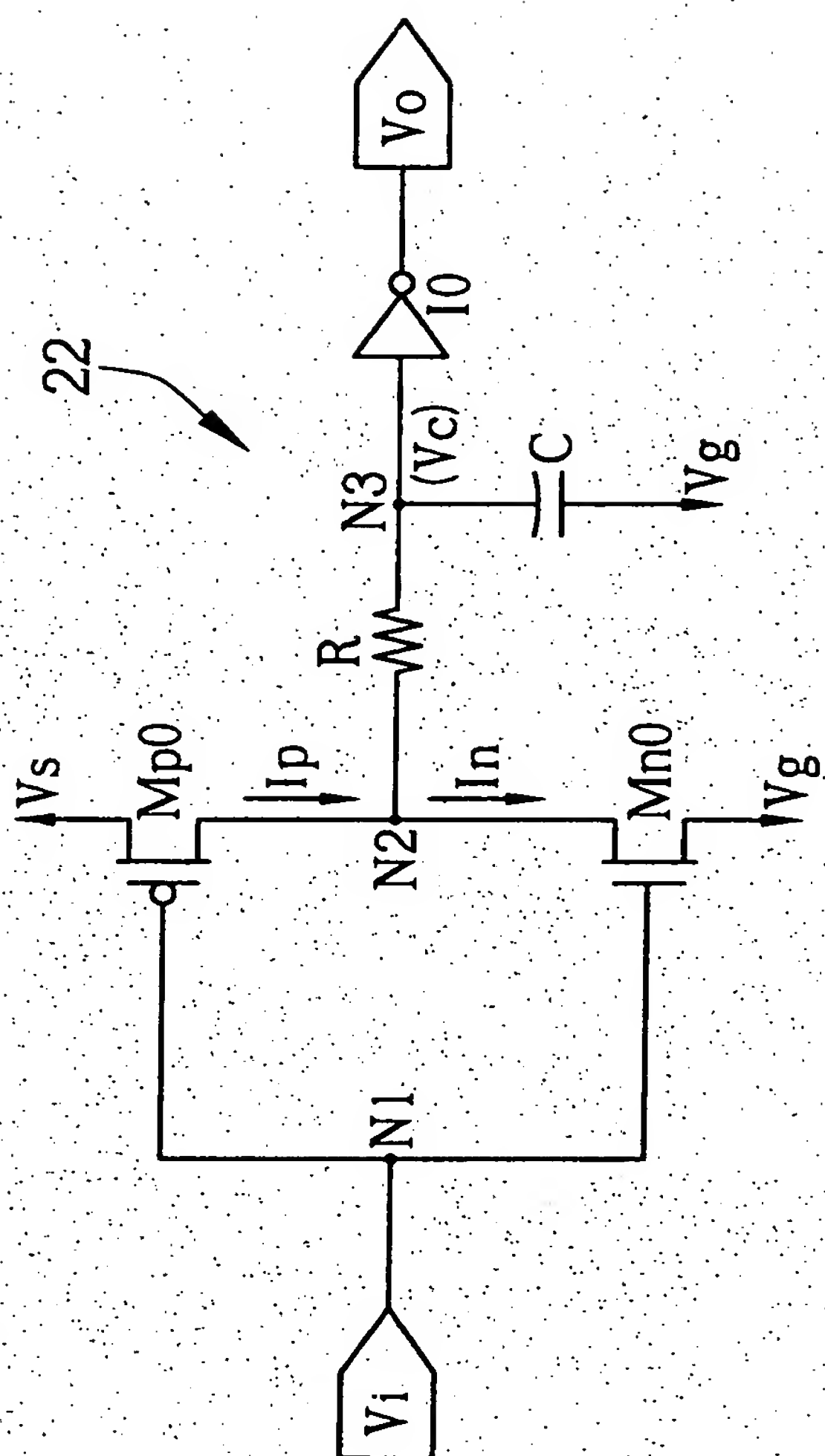




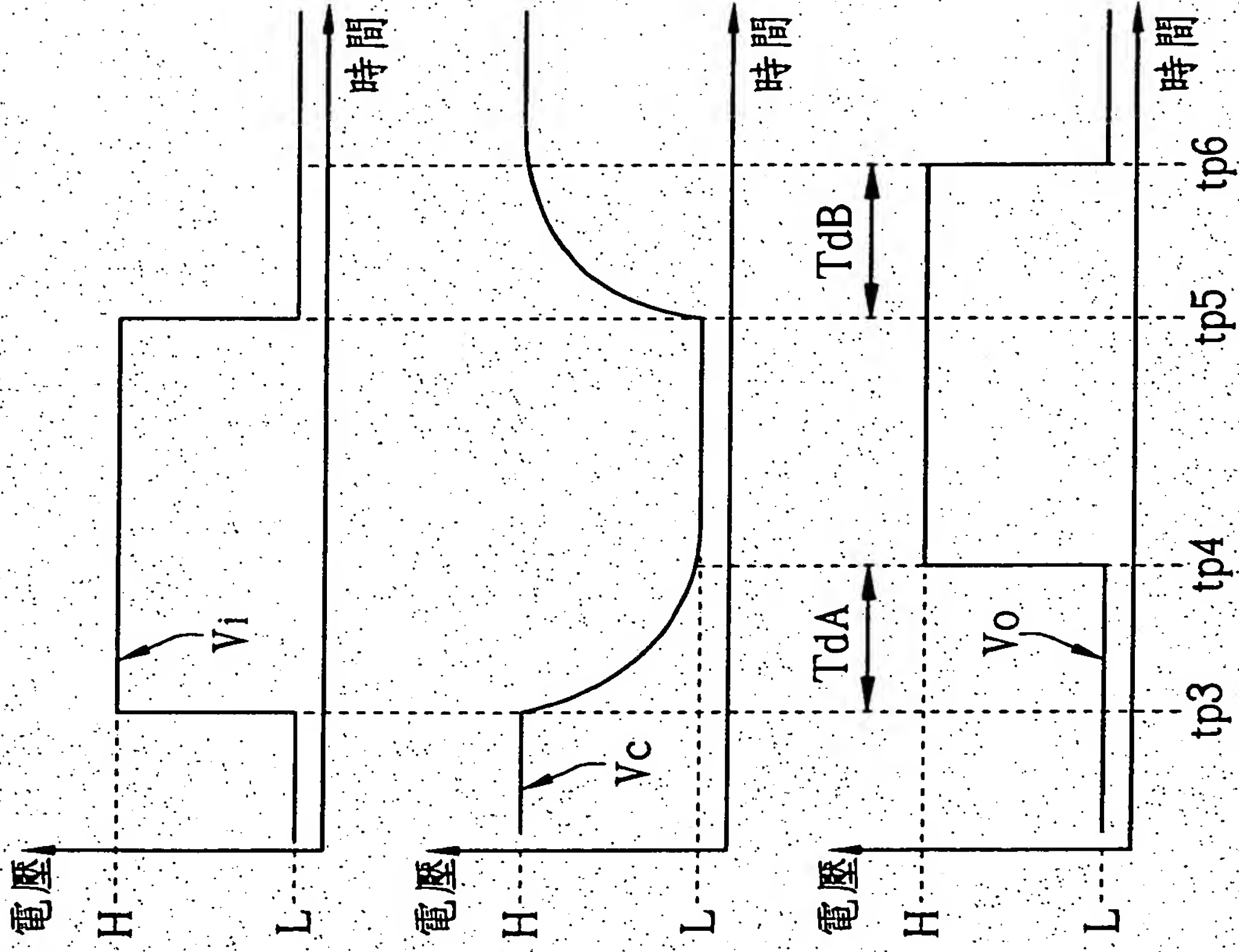
圖一



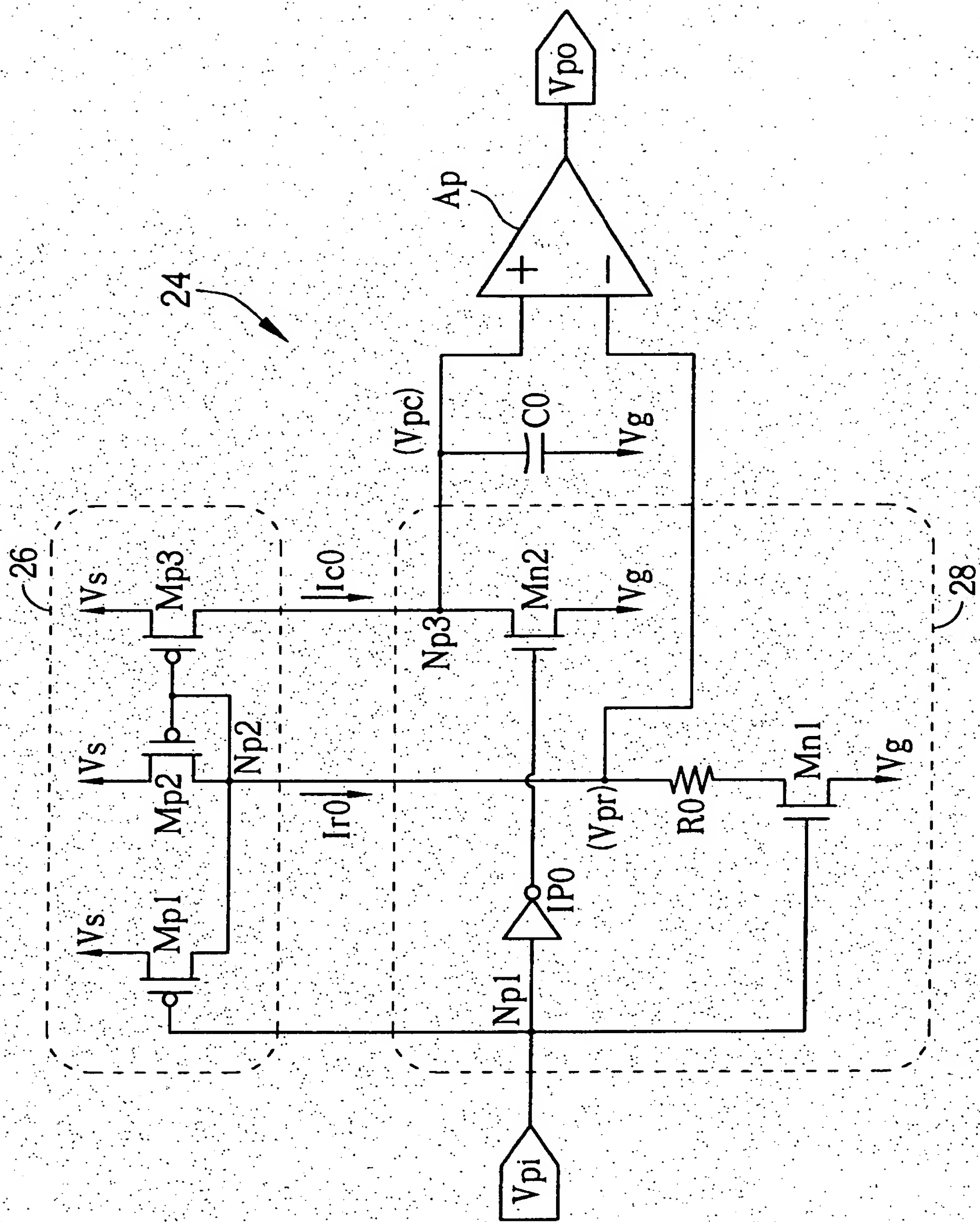
圖二

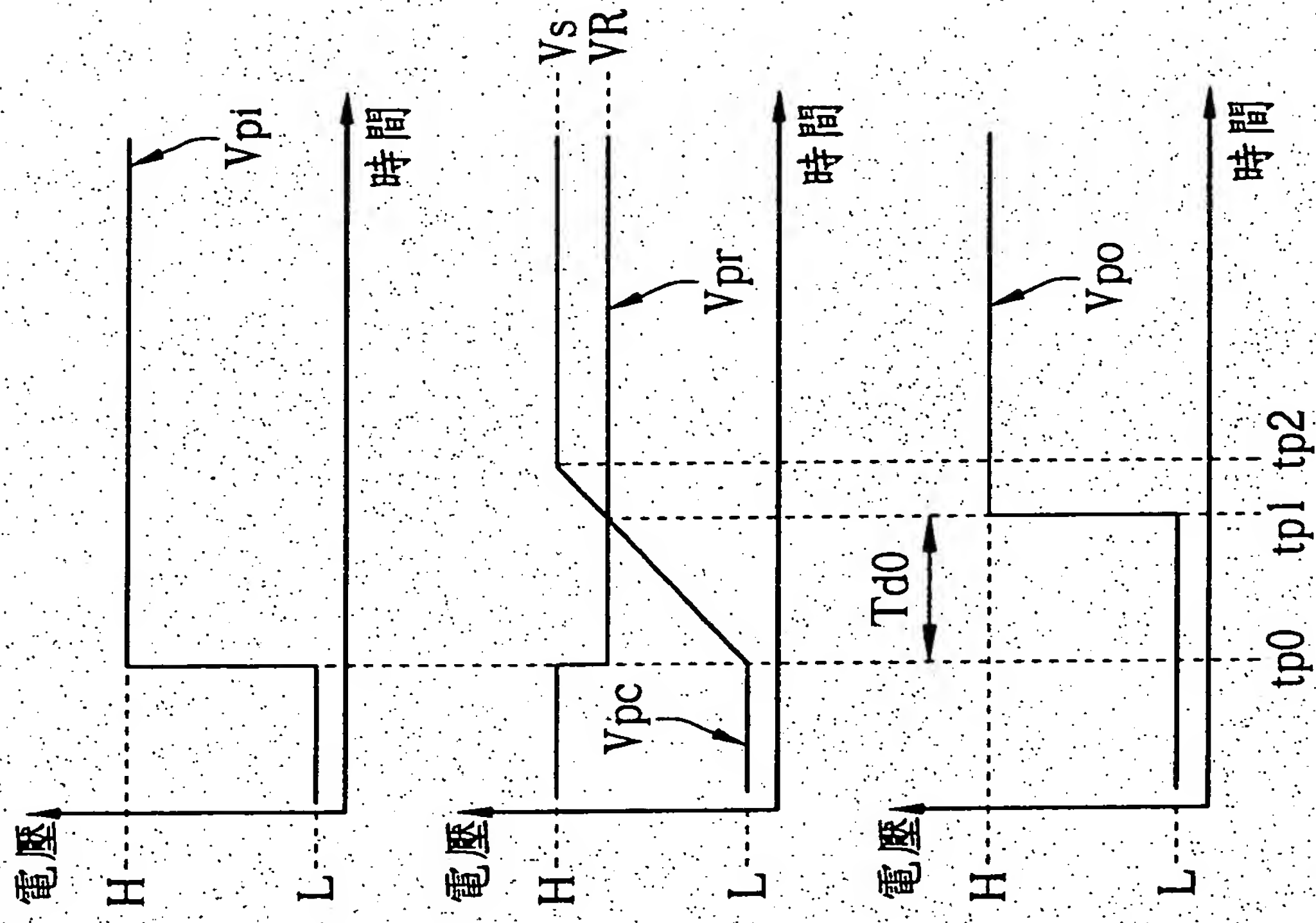


圖三

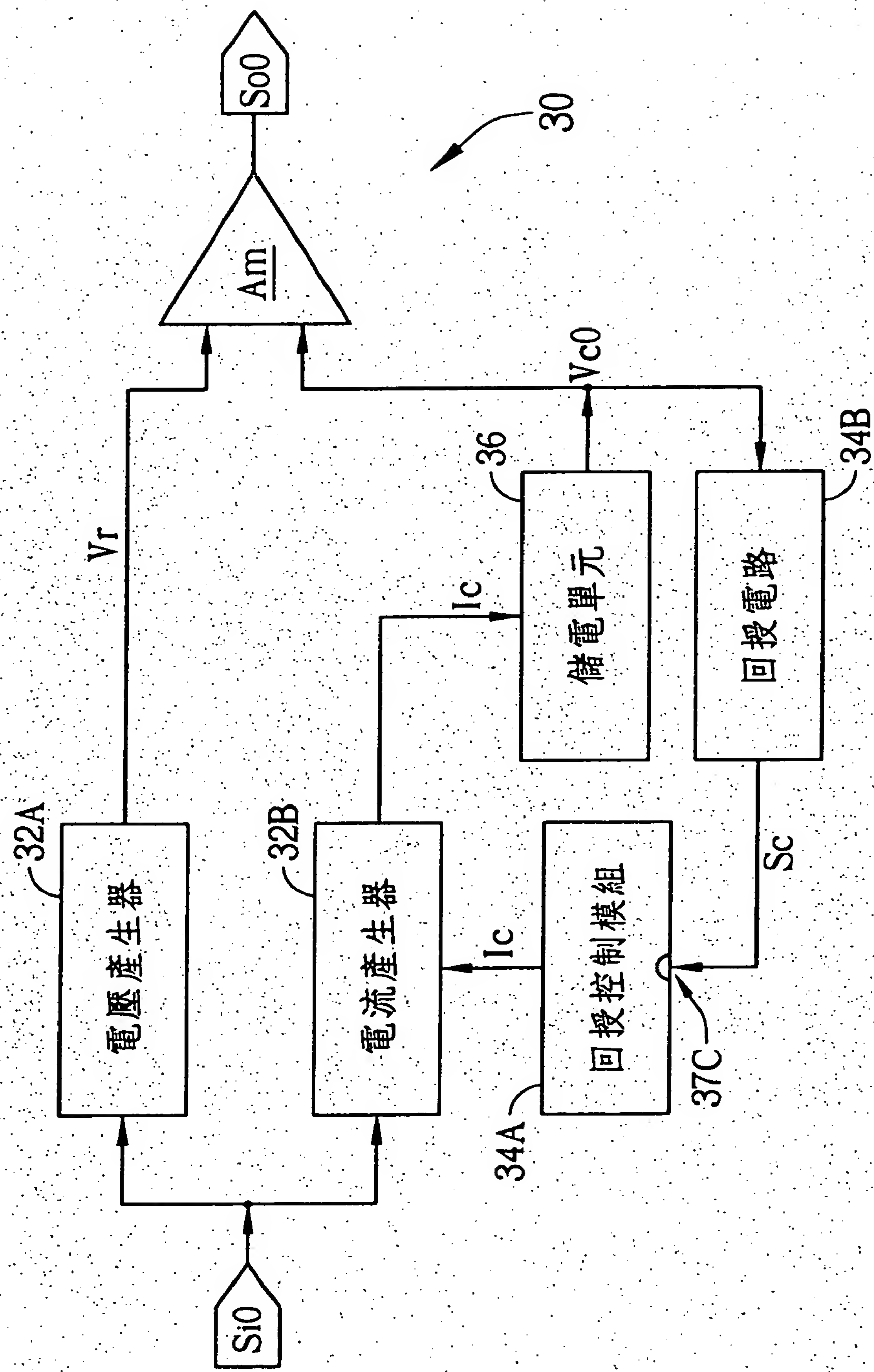


圖四

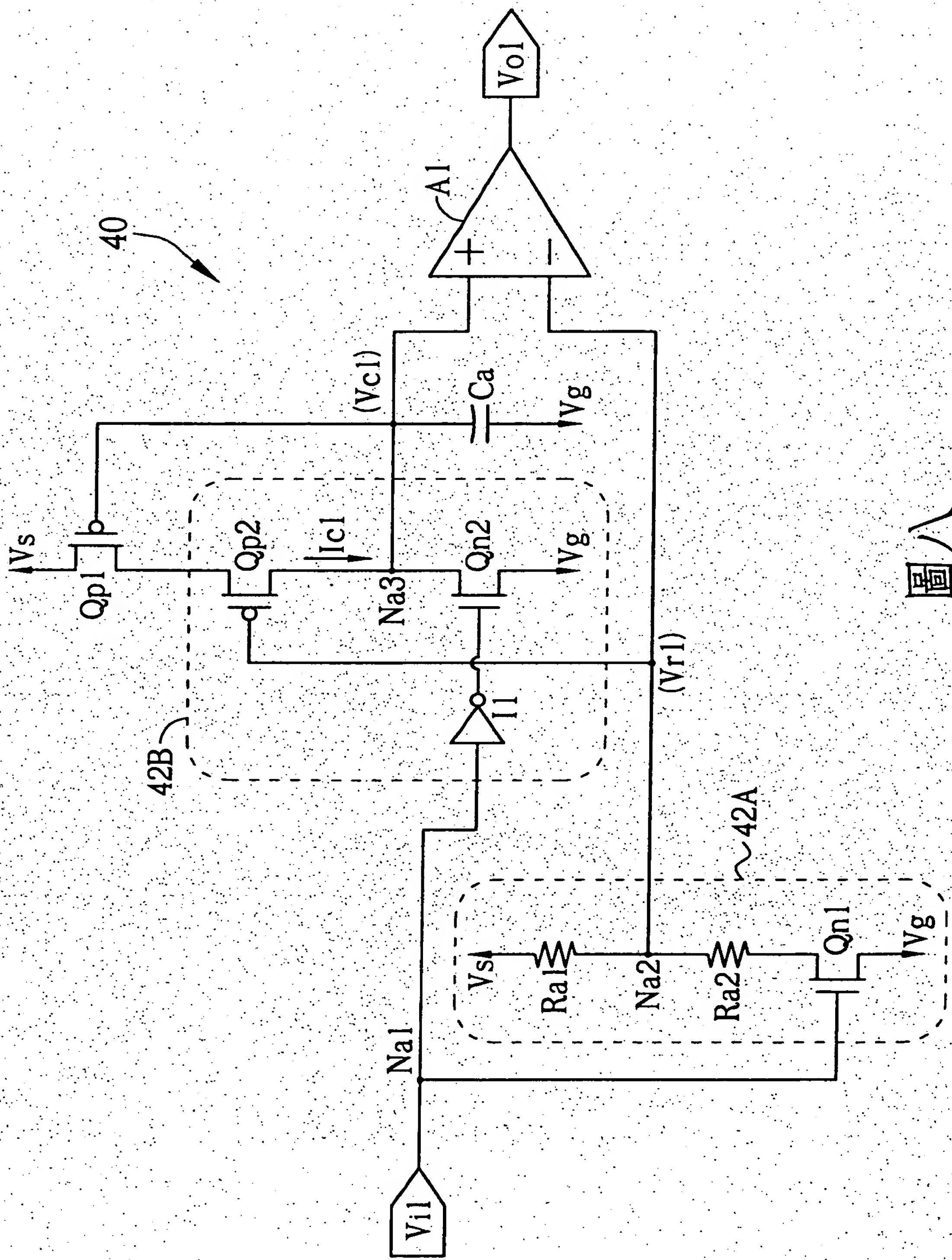




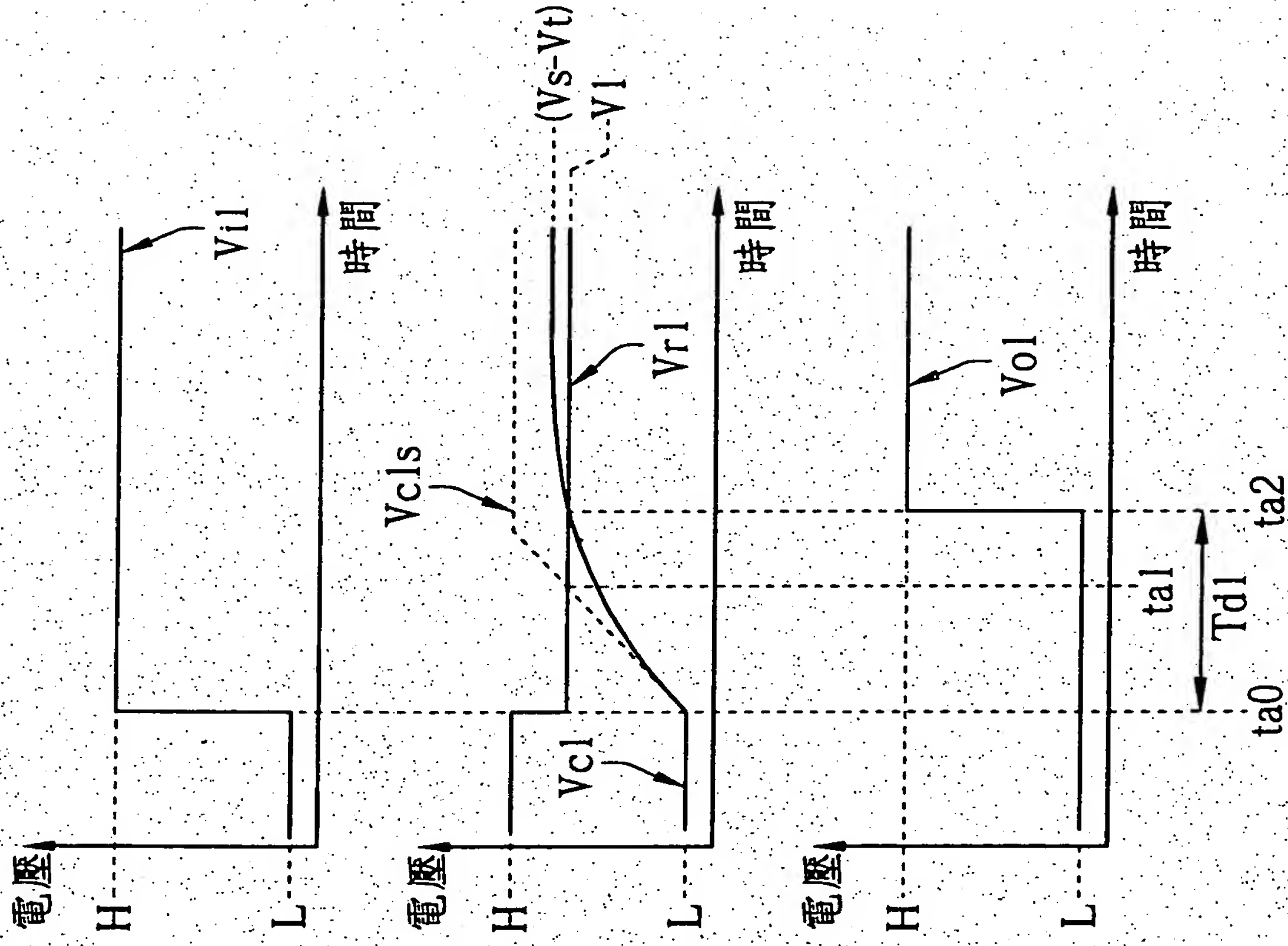
圖六



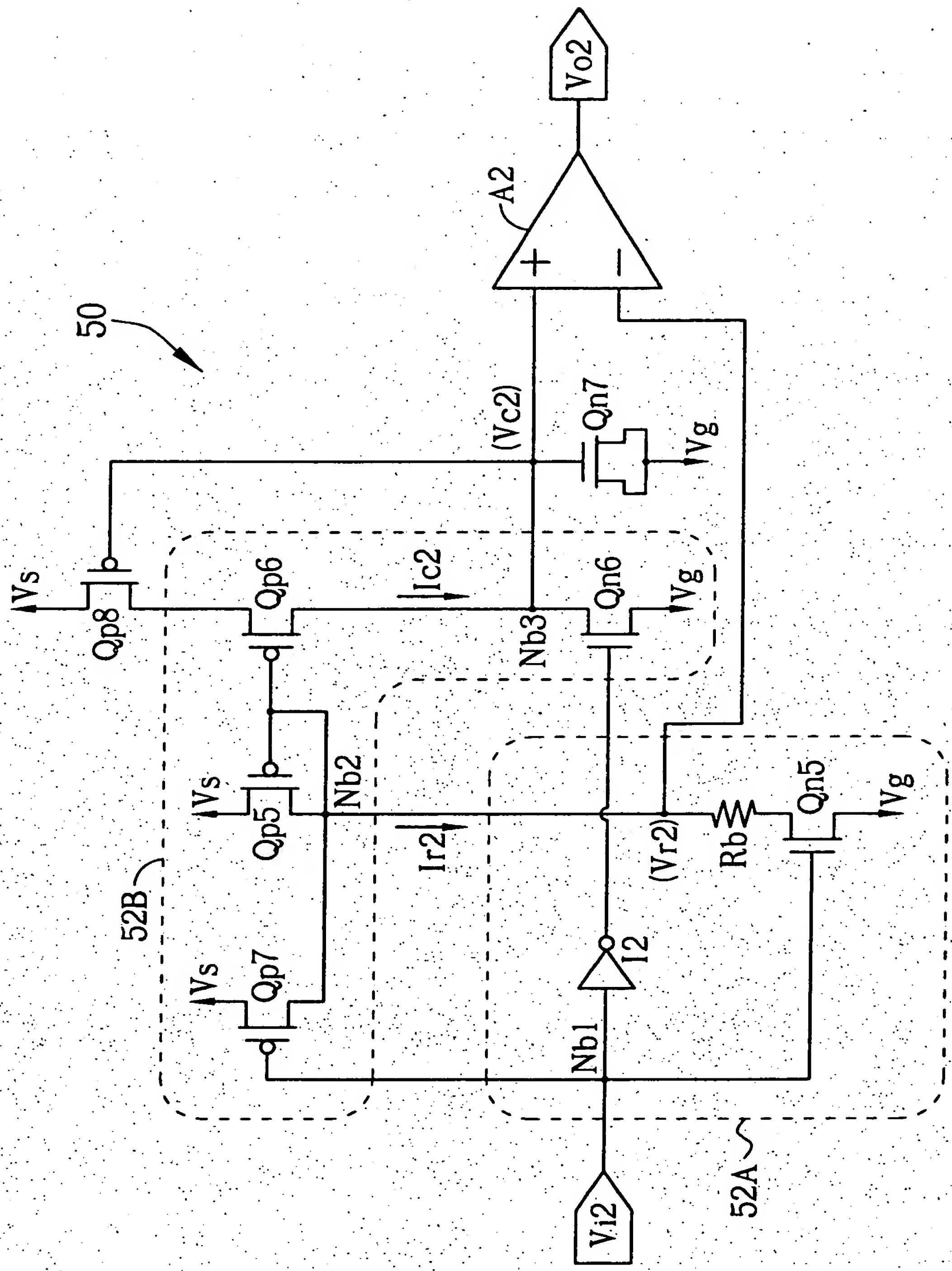
圖七



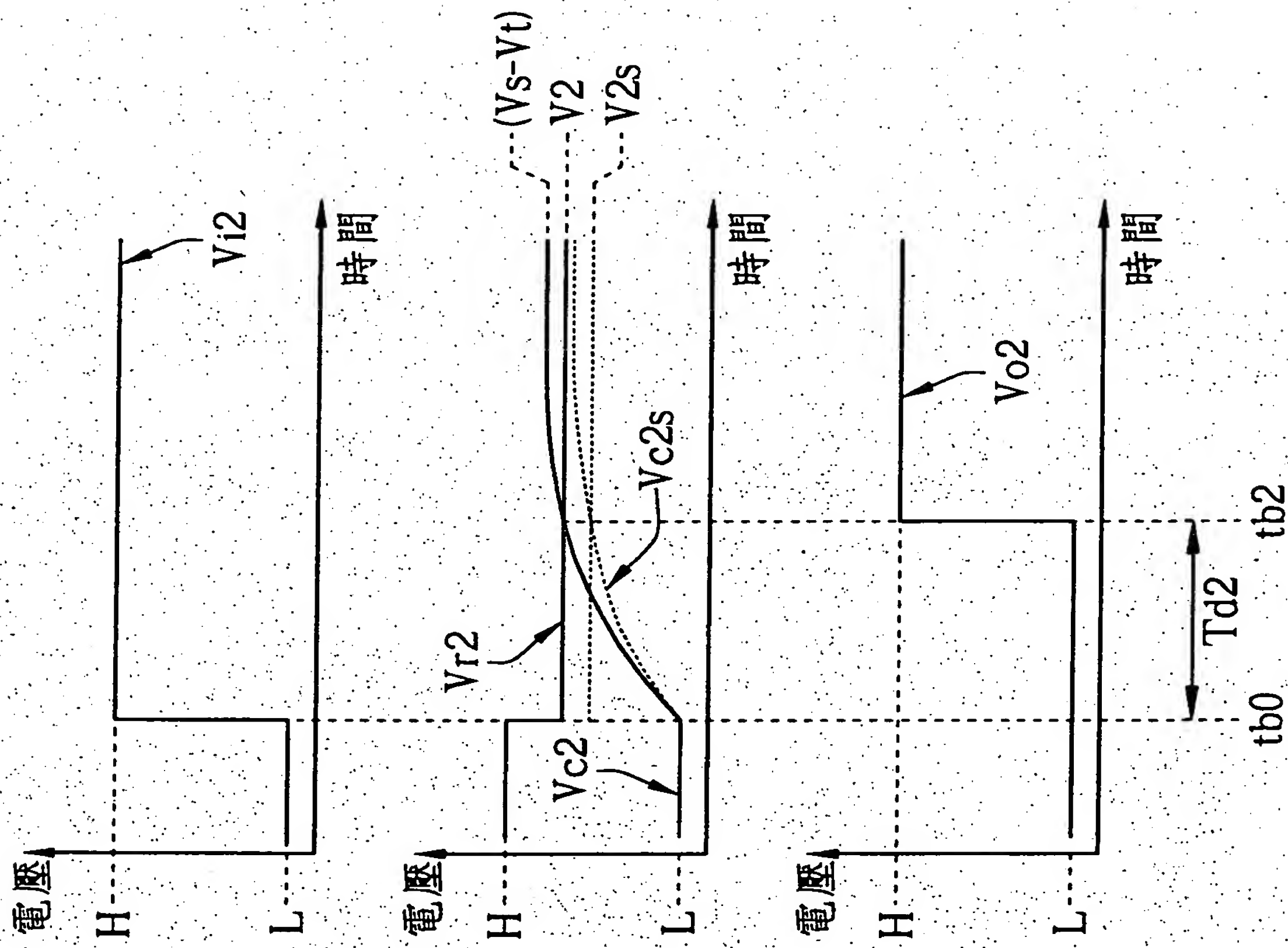
圖八



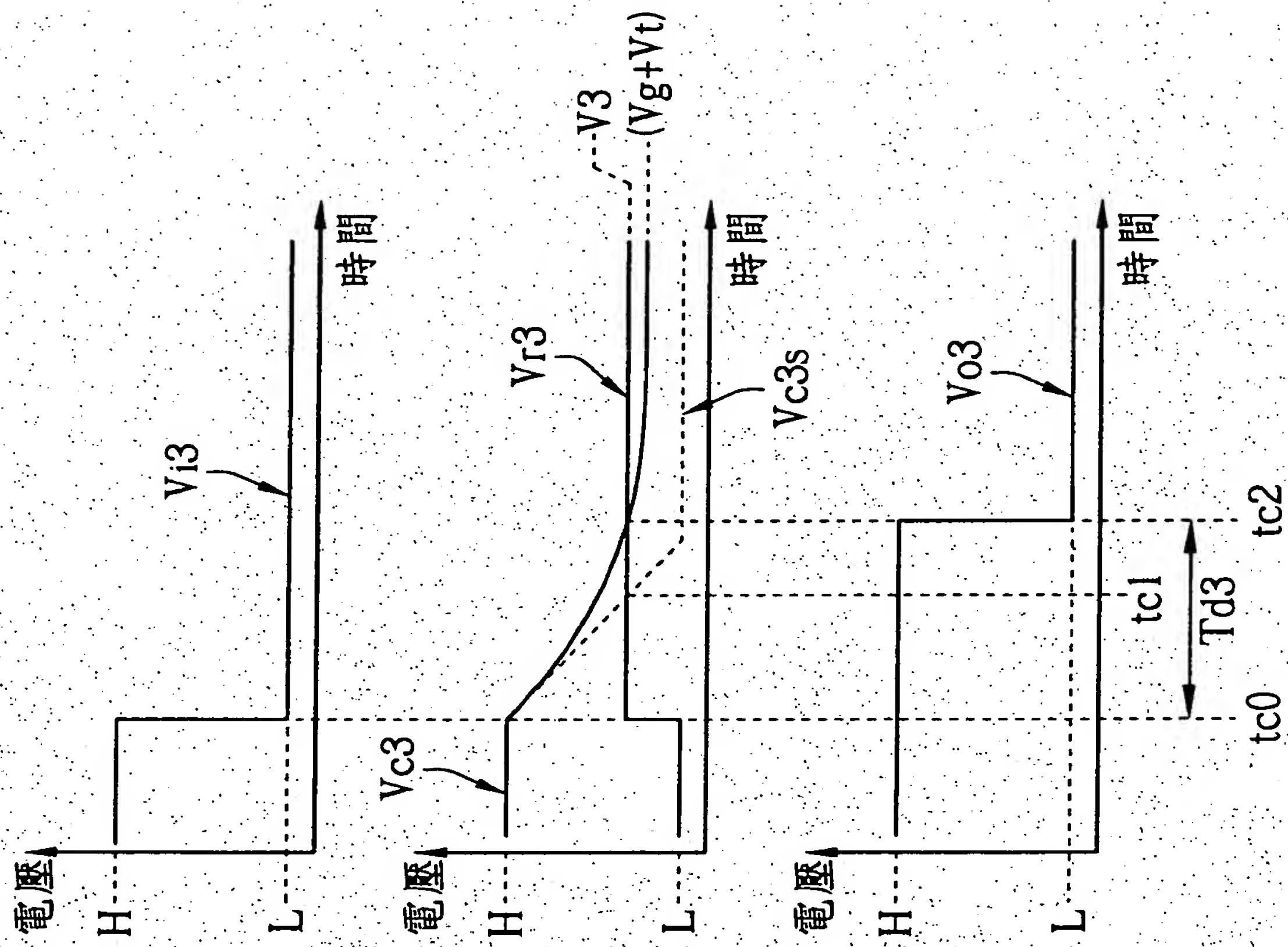
圖九



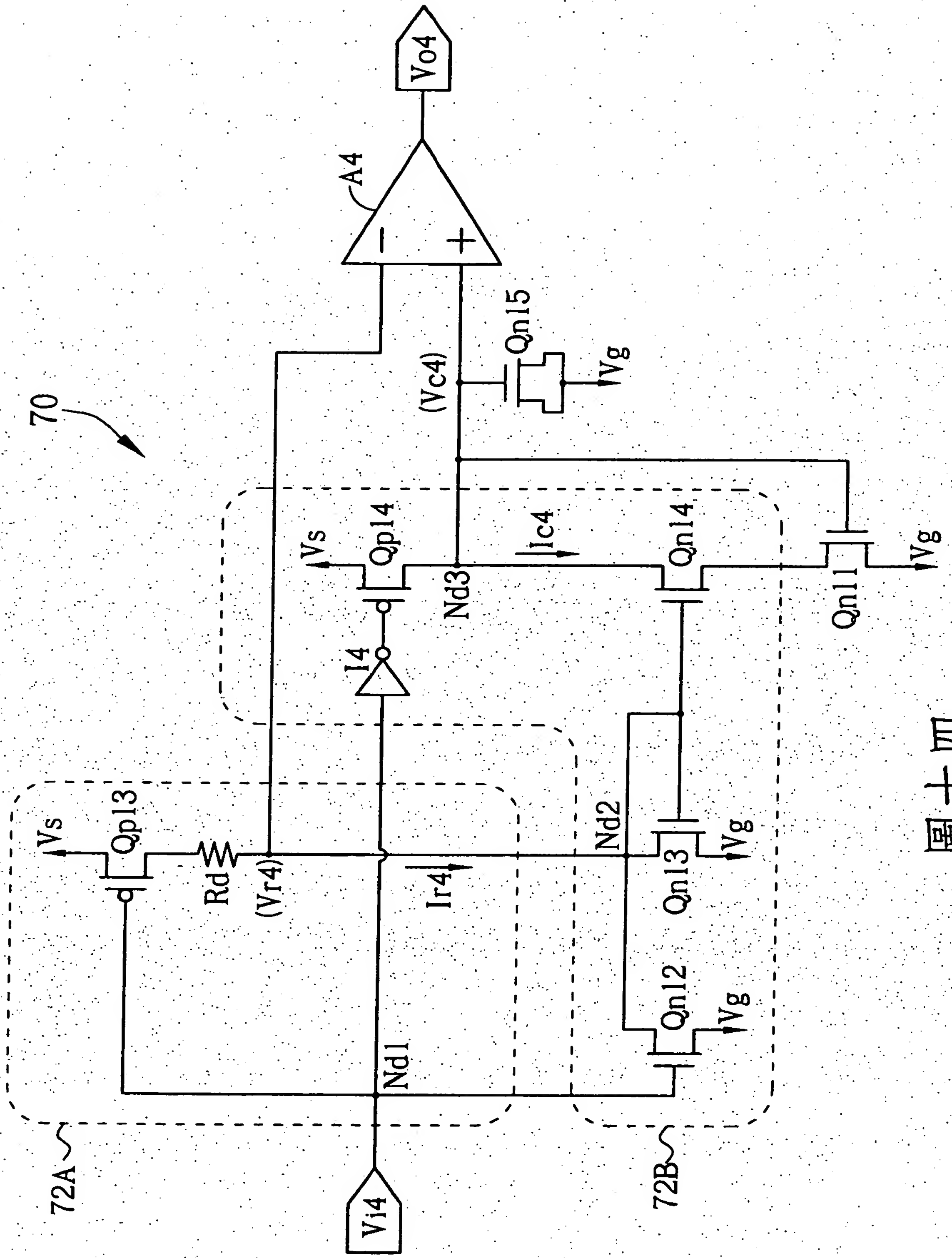
圖十



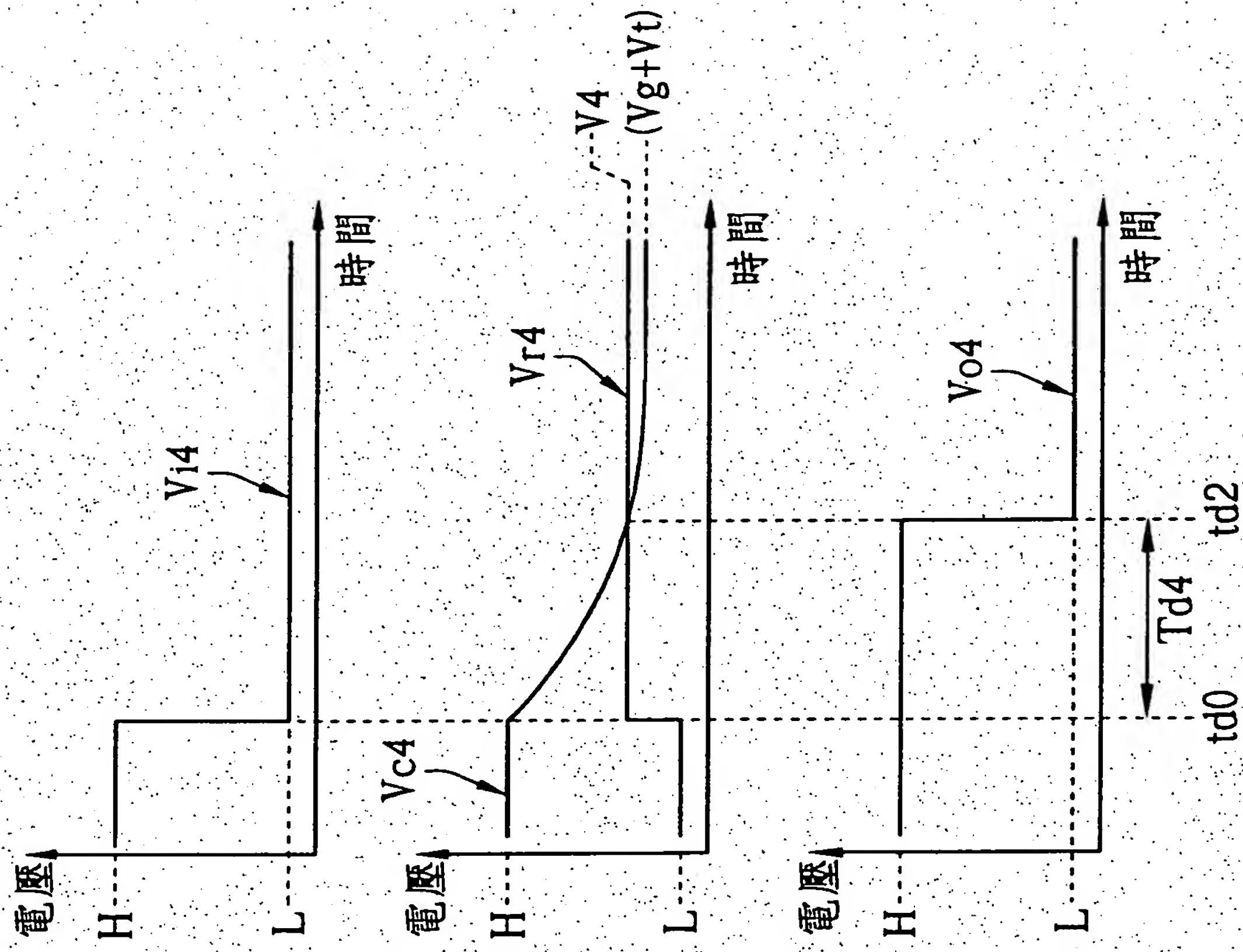
圖十一



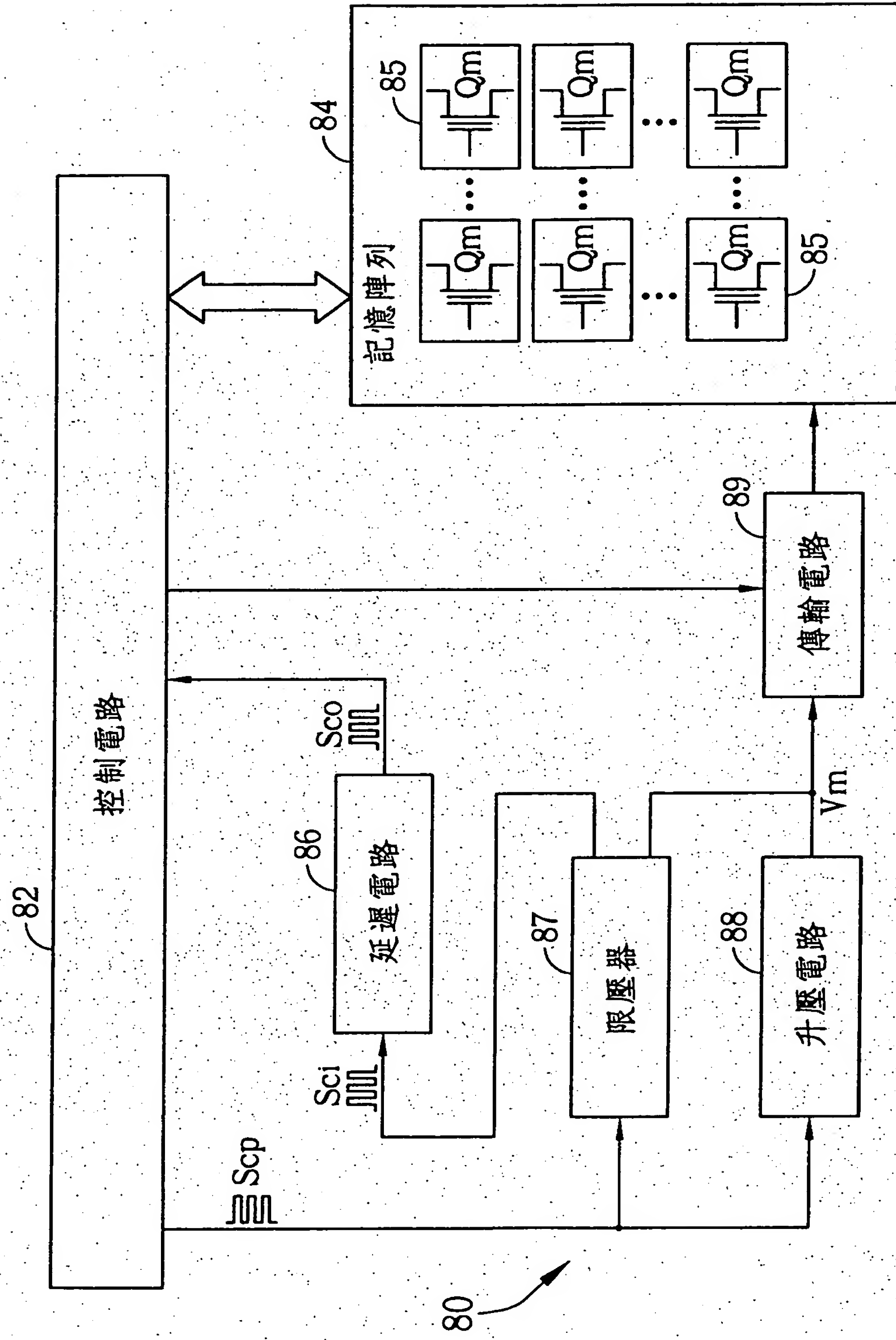
圖十三



圖十四

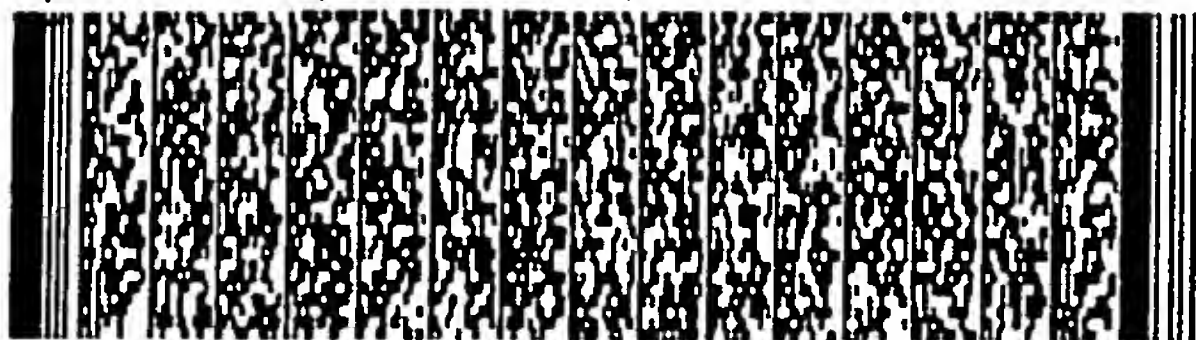


圖十五

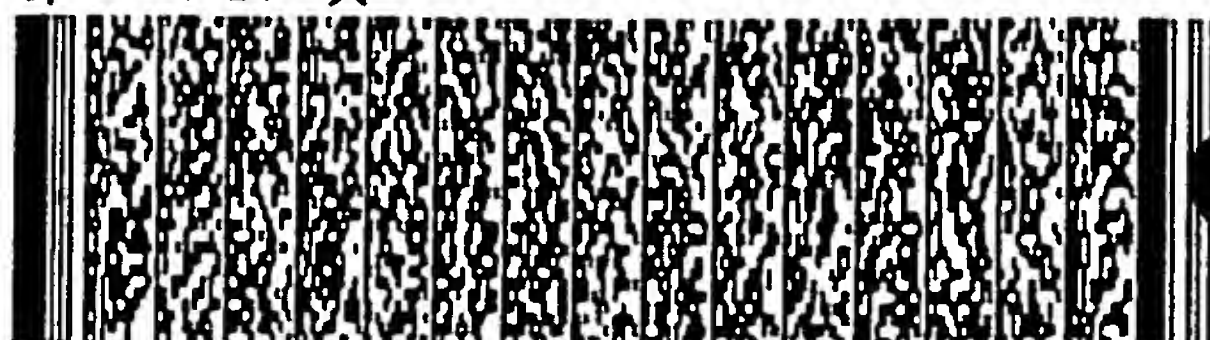


圖十六

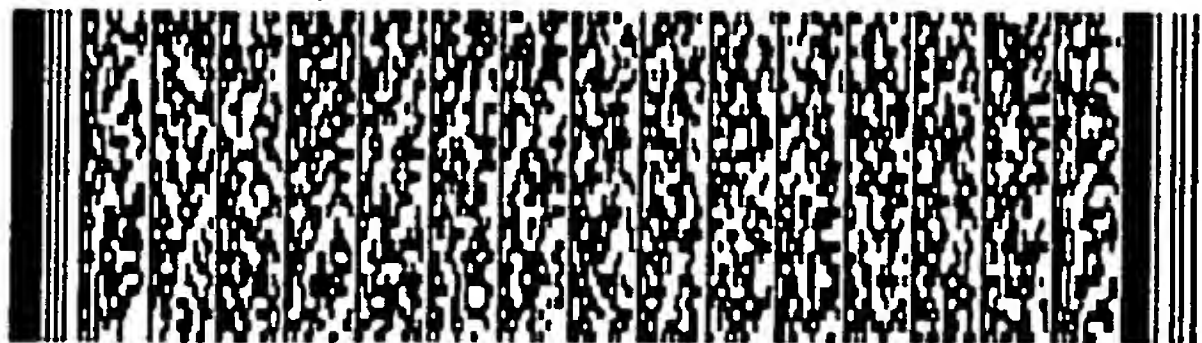
第 10/47 頁



第 11/47 頁



第 11/47 頁



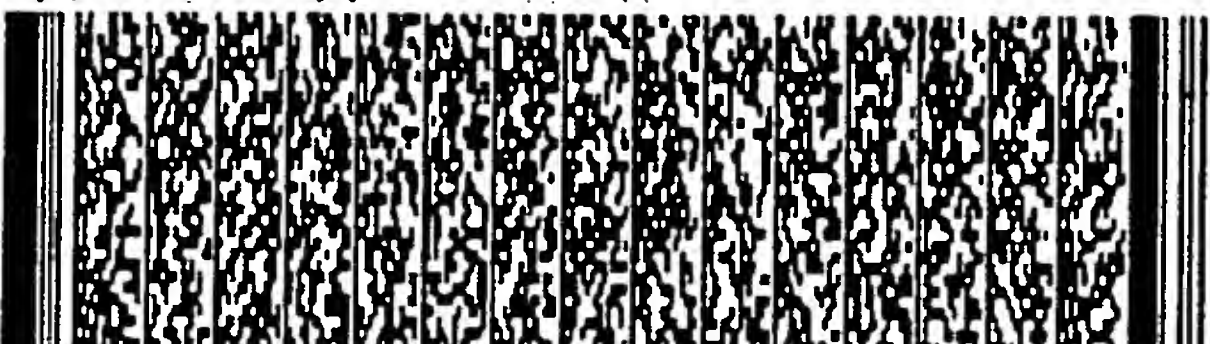
第 12/47 頁



第 12/47 頁



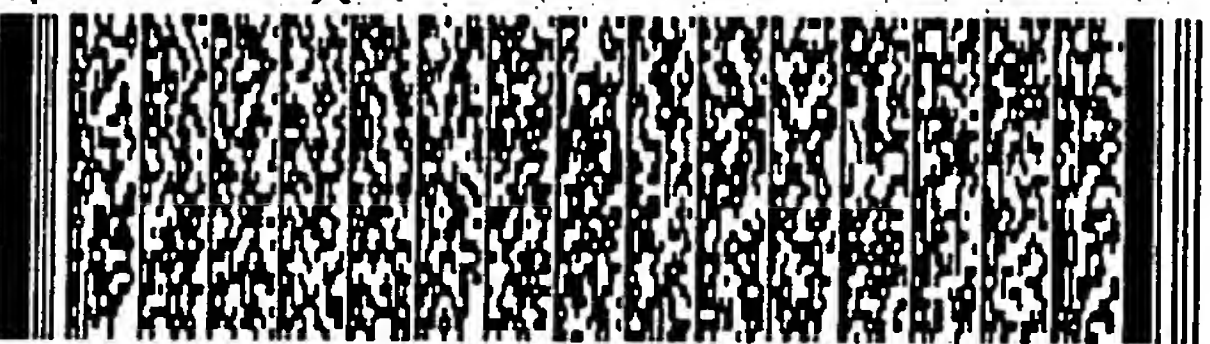
第 13/47 頁



第 13/47 頁



第 14/47 頁



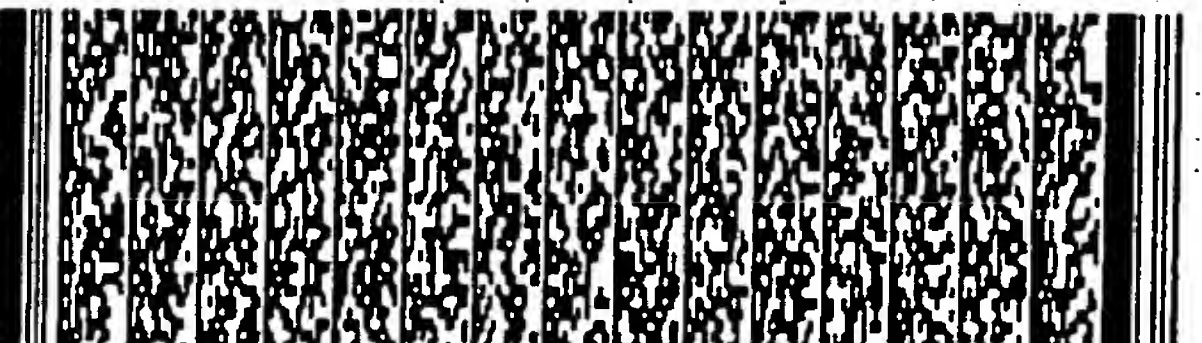
第 14/47 頁



第 15/47 頁



第 15/47 頁



第 16/47 頁



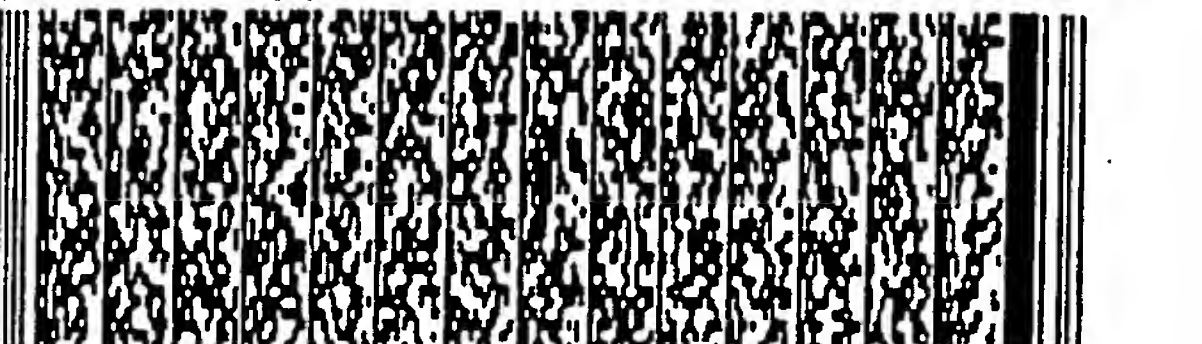
第 16/47 頁



第 17/47 頁



第 17/47 頁



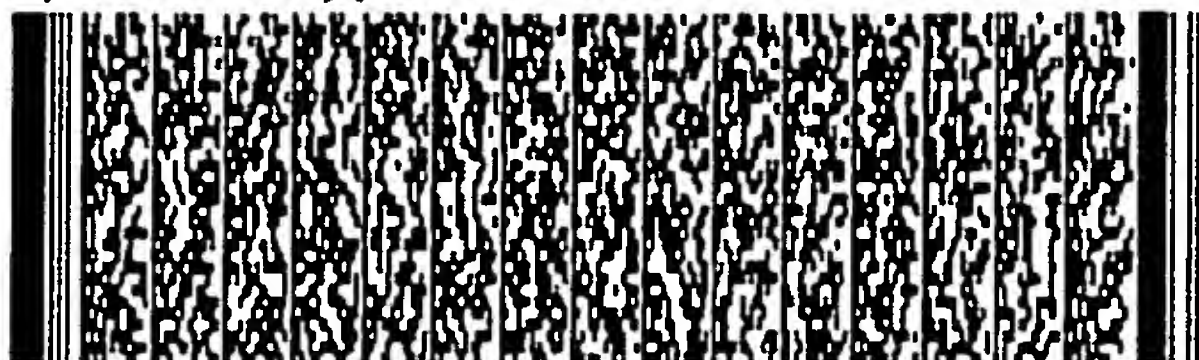
第 18/47 頁



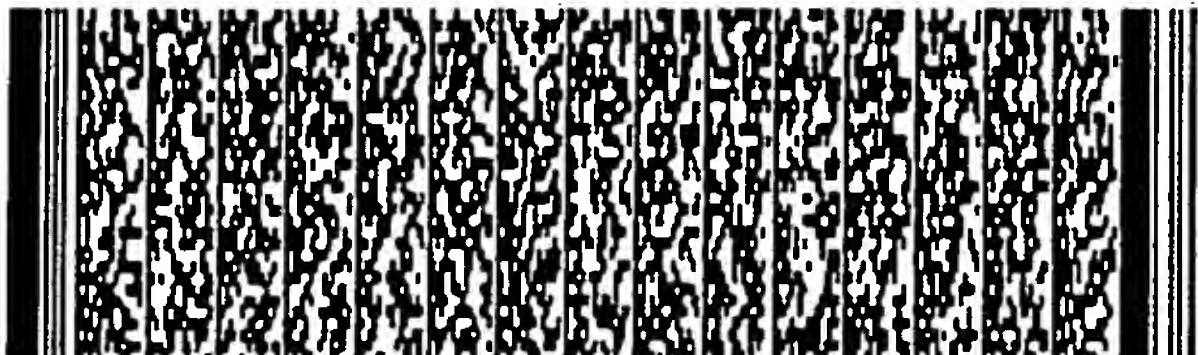
第 18/47 頁



第 19/47 頁



第 19/47 頁



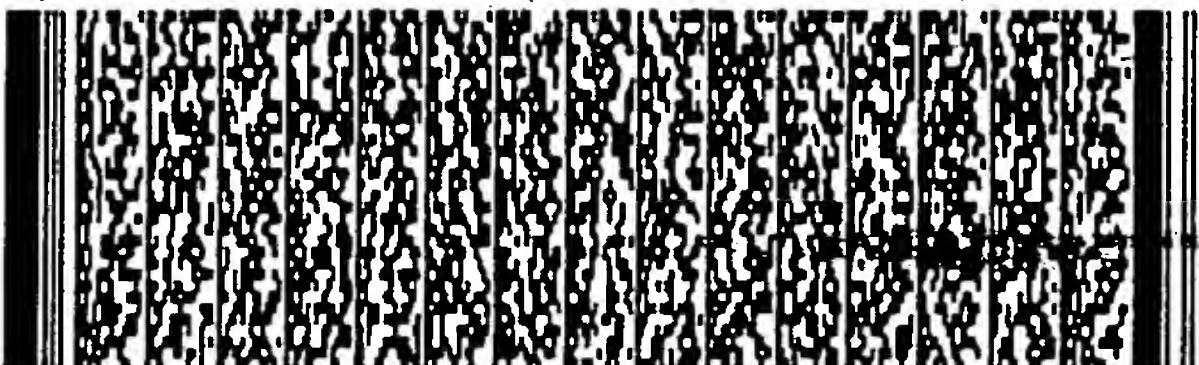
第 20/47 頁



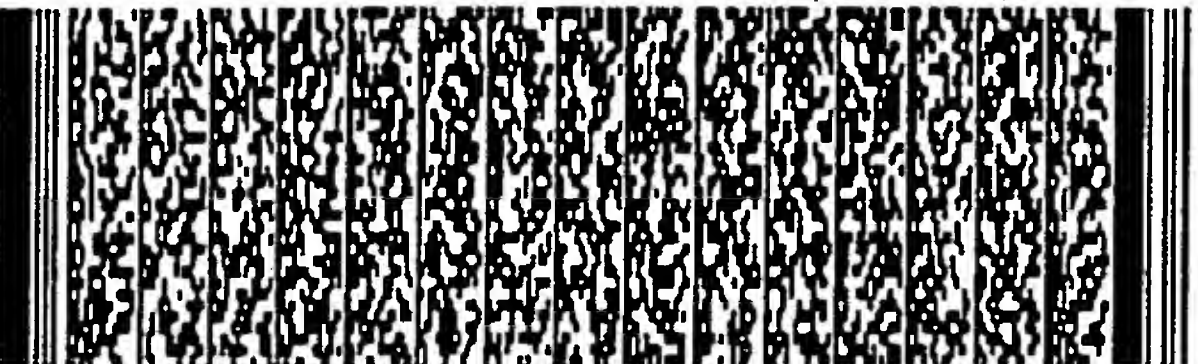
第 20/47 頁



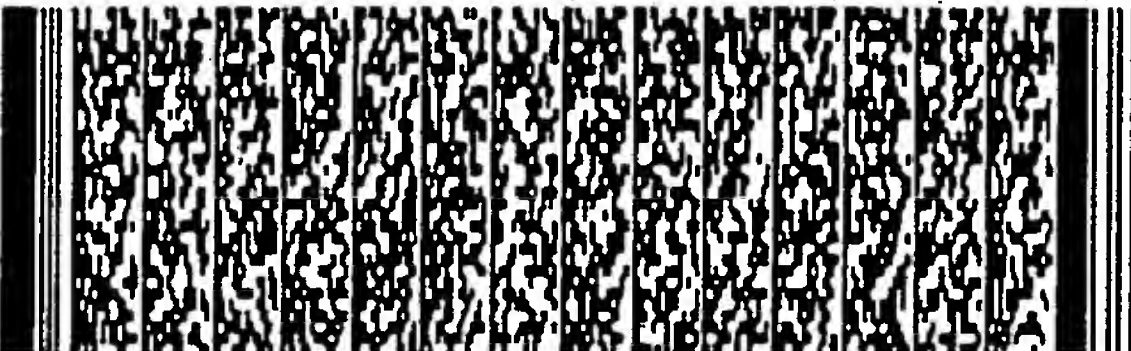
第 21/47 頁



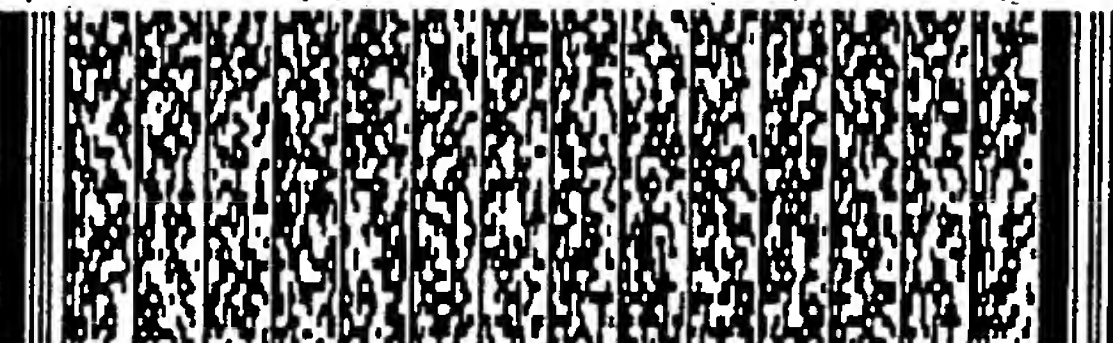
第 21/47 頁



第 22/47 頁



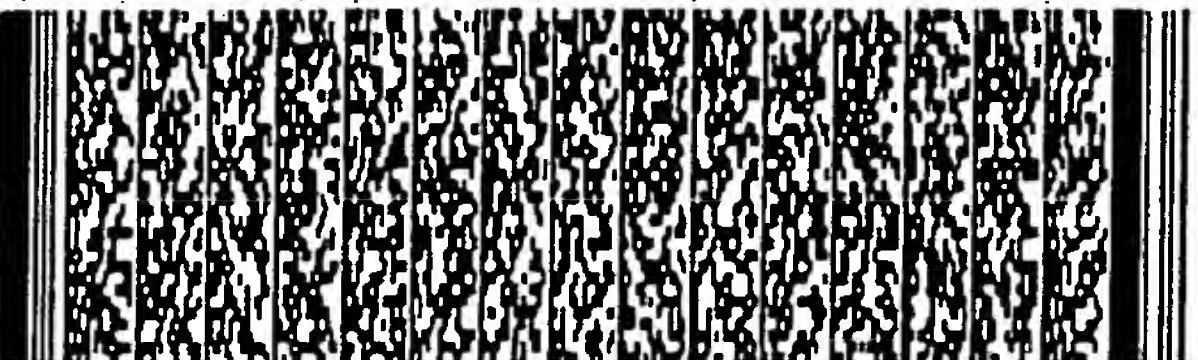
第 22/47 頁



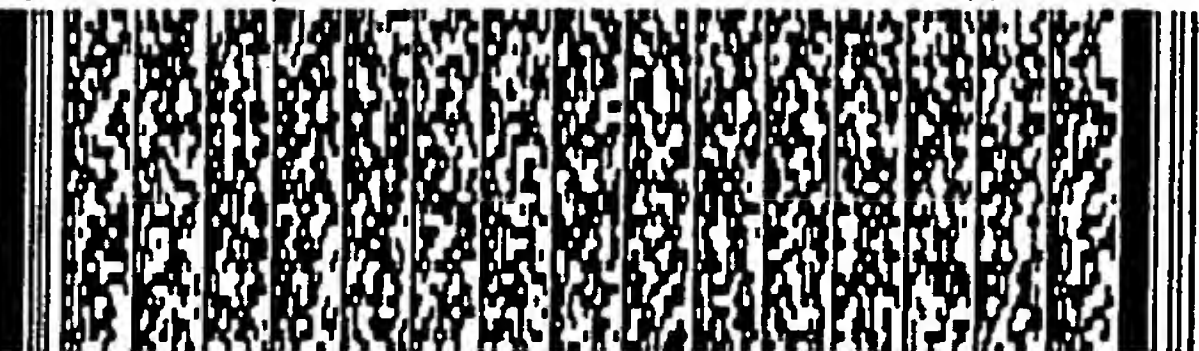
第 23/47 頁



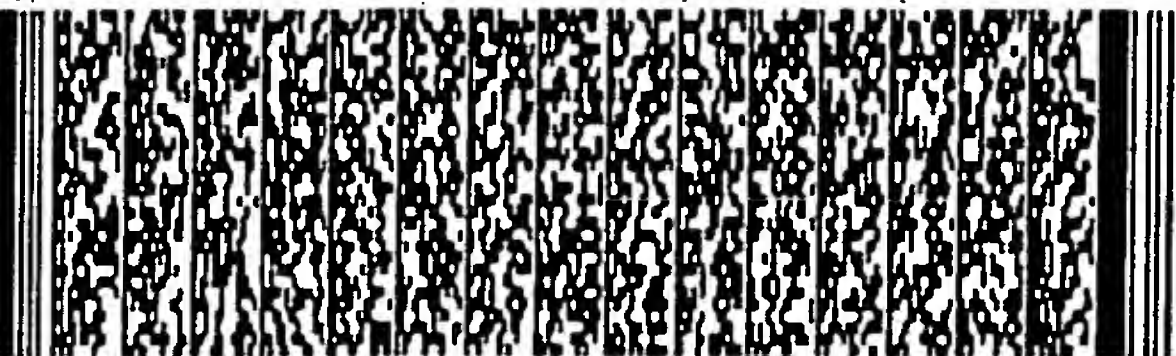
第 23/47 頁



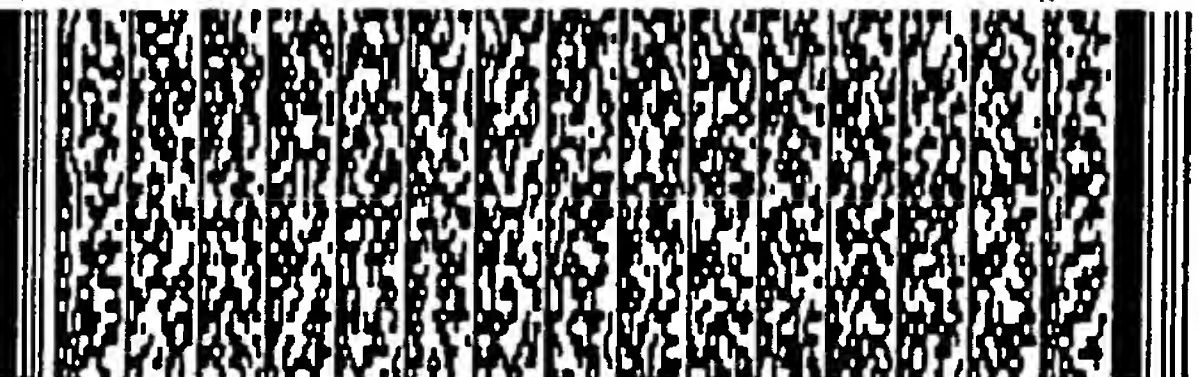
第 24/47 頁



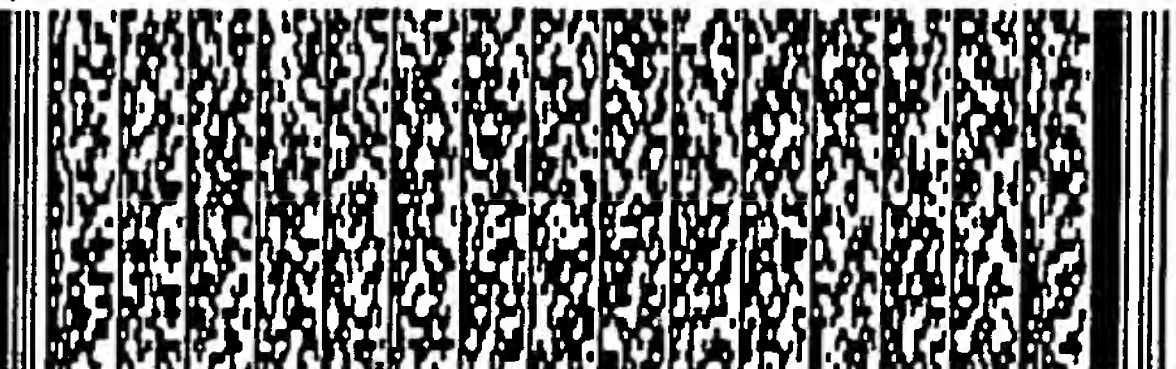
第 24/47 頁



第 25/47 頁



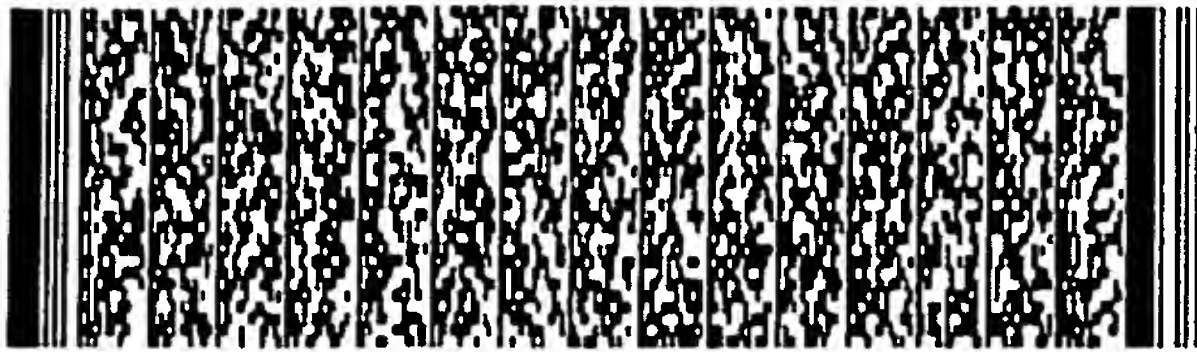
第 25/47 頁



第 26/47 頁



第 26/47 頁



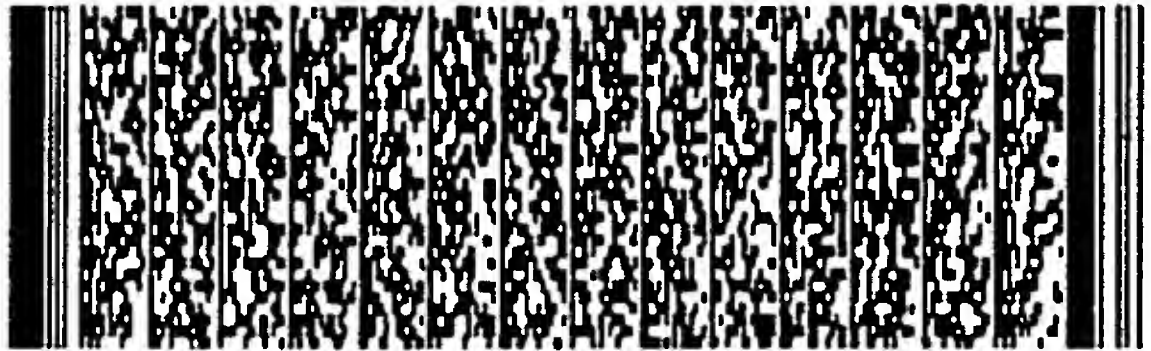
第 27/47 頁



第 27/47 頁



第 28/47 頁



第 28/47 頁



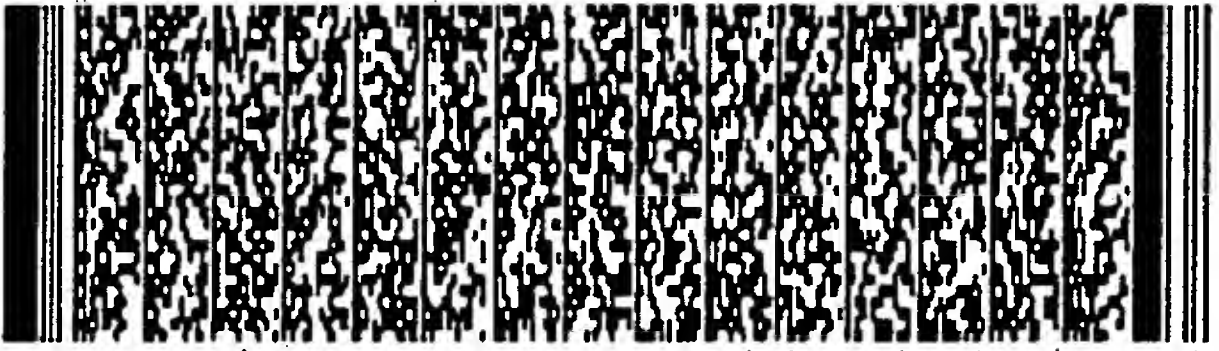
第 29/47 頁



第 29/47 頁



第 30/47 頁



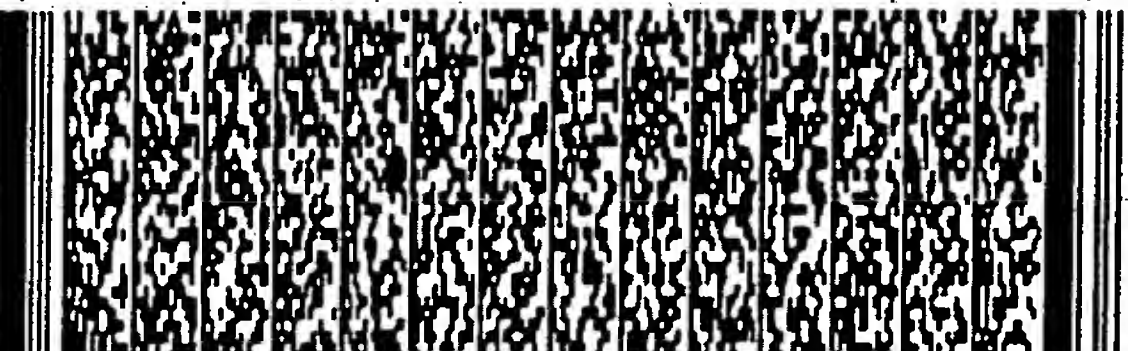
第 30/47 頁



第 31/47 頁



第 31/47 頁



第 32/47 頁



第 32/47 頁



第 33/47 頁



第 33/47 頁



第 34/47 頁

